

VŠB – Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra telekomunikační techniky

**Výukové modely různých typů A/D a D/A převodníků v prostředí
LabVIEW**

**Educational Model of Different types of A/D and D/A Converters
Implemented in LabVIEW**

2011/2012

Ladislav Máčalík

VŠB - Technická univerzita Ostrava
Fakulta elektrotechniky a informatiky
Katedra telekomunikační techniky

Zadání bakalářské práce

Student: **Ladislav Máčalík**
Studijní program: B2647 Informační a komunikační technologie
Studijní obor: 2612R059 Mobilní technologie
Téma: **Výukové modely různých typů A/D a D/A převodníků v prostředí LabVIEW**
Educational Model of Different types of A/D and D/A Converters Implemented in LabVIEW

Zásady pro vypracování:

Pro převod analogové informace na číslíkovou se používá digitizérů, které pracují na různých principech. Pro účely výuky je potřeba přehledně vizualizovat principy převodu analogového signálu na digitální a naopak včetně možnosti na takto namodelované převodníky přivést definované signály, které názorně ukáží statické a dynamické vlastnosti převodníků.

1. Rozbor principu činnosti a vlastností A/D a D/A převodníků
2. Vytvoření modelů A/D a D/A převodníků na bázi virtuální instrumentace
3. Rozbor návrhu antialiasing filtru a rekonstrukčního filtru včetně názorné implementace do modelů
4. Implementace testovacích signálů a ověření dynamických vlastností převodníků

Seznam doporučené odborné literatury:

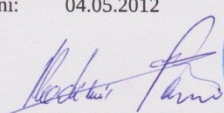
1. NI Developer Zone, Dostupné z WWW: <www.zone.ni.com>

Formální náležitosti a rozsah bakalářské práce stanoví pokyny pro vypracování zveřejněné na webových stránkách fakulty.

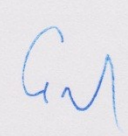
Vedoucí bakalářské práce: **doc. Ing. Petr Bilík, Ph.D.**

Datum zadání: 18.11.2011

Datum odevzdání: 04.05.2012


prof. RNDr. Vladimír Vašínek, CSc.
vedoucí katedry

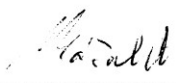



prof. RNDr. Václav Snášel, CSc.
děkan fakulty

Prohlášení studenta


Prohlašuji, že jsem tuto bakalářskou práci vypracoval samostatně. Uvedl jsem všechny literární prameny a publikace, ze kterých jsem čerpal.

V Ostravě, dne 2.5.2012


.....
podpis

Souhlasím se zveřejněním této bakalářské práce podle požadavků čl. 26, odst. 9 *studijních a zkouškových pravidel pro studium v bakalářském programu VŠB-TU Ostrava*.

V Ostravě, dne 2.5.2012


.....
podpis

Poděkování

Rád bych poděkoval panu doc. Ing. Petru Bilíkovi, Ph.D. za odbornou pomoc a konzultaci při vytváření této bakalářské práce. Dále bych chtěl poděkovat kamarádce Janě Mitrengové za její pomoc s formální úpravou této práce.

Abstrakt

Cílem této práce je stručný rozbor základních principů funkčnosti A/D a D/A převodníků a vytvoření jejich modelů v prostředí LabVIEW tak, aby názorně ukazovaly postup převodu těchto jednotlivých typů. Na jednotlivé vytvořené modely by se měl dát přivést jakýkoli testovací signál (především sinusový), na kterém se ověří základní statické a dynamické parametry těchto převodníků. Pro každý z jednotlivých modelů je zde uveden jeho zdrojový kód a popis jeho funkce. Jsou zde taky implementace kódů pro ověření zmíněných základních statických a dynamických vlastností těchto převodníků a stručný rozbor návrhu antialiasing filtru. Nakonec je zde uvedeno srovnání výsledných parametrů jednotlivých modelů.

Klíčové slova

Analogově digitální převodník, digitálně analogový převodník, sugestivní aproximační registr, integrační, paralelní, řetězový, dynamický rozsah, odstup signál šum, efektivní počet bitů.

Abstract

The aim of this work is a brief analysis of the basic principles and functionality of A/D and D/A converters and create their models in LabVIEW to graphically showed the conversion of these individual types. On this individual developed models should be put to bring any test signal (mainly sinusoidal), which verifies the basic static and dynamic parameters of these converters. For each of these models there is source code and a description his function. There are also implementations of code for verify basic static and dynamic parameters of these converters and a brief analysis to the draft antialiasing filter. At the end there is a comparsion of resulting parameters these individual models.

Keywords

Analog to digital converter, digital to analog converter, suggestive approximation register, integration, paralel, subrang, dynamic range, signal to noise ratio, effective number of bits.

Seznam použitých zkratk

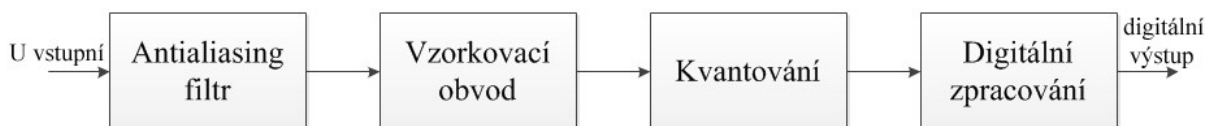
Zkratka	Anglický význam	Český význam
ADC, A/D	Analog to digital converter	Analogově digitální převodník
DAC, D/A	Digital to analog converter	Digitálně analogový převodník
DNL	Differential nonlinearity	Diferenciální nelinearita
DP	Lowpass	Dolní propust
DR	Dynamic range	Dynamický rozsah
ENOB	Effective number of bits	Efektivní počet bitů
FSR	Full scale range	Maximální rozsah
INL	Integral nonlinearity	Integrální nelinearita
LSB	Least significant bit	Nejmenší váhový bit
MSB	Most significant bit	Nejvyšší váhový bit
rms	Root mean square	Efektivní hodnota signálu
SAR	Successive approximation register	Sugestivní aproximační registr
SNR	Signal to noise ratio	Odstup signál – šum
THD	Total harmonic distortion	Harmonické zkreslení

OBSAH:

1 ÚVOD	1
2 ZÁKLADNÍ POJMY PŘEVODNÍKŮ	2
2.1 ROZLIŠENÍ	2
2.2 VZORKOVÁNÍ	2
2.3 ALIASING	3
2.4 ANTIALIASINGOVÝ FILTR	3
2.5 KVANTOVÁNÍ A KVANTOVACÍ CHYBA	4
3 TYPY A/D PŘEVODNÍKŮ	7
3.1 INTEGRAČNÍ PŘEVODNÍKY	8
3.1.1 INTEGRAČNÍ PŘEVODNÍK S MEZI PŘEVODEM NA KMITOČET	8
3.1.2 INTEGRAČNÍ PŘEVODNÍK S MEZI PŘEVODEM NA ČASOVÝ INTERVAL	9
3.2 KOMPENZAČNÍ PŘEVODNÍKY	11
3.2.1 KOMPENZAČNÍ ČÍTACÍ	11
3.2.2 KOMPENZAČNÍ SLEDOVACÍ	11
3.2.3 S POSTUPNOU APROXIMACÍ (SAR)	12
3.3 PARALELNÍ (FLASH) A/D PŘEVODNÍKY	13
3.4 ŘETĚZOVÉ PŘEVODNÍKY	15
4 TYPY D/A PŘEVODNÍKŮ	16
4.1 D/A PŘEVODNÍKY S VÁHOVOU STRUKTUROU	16
4.2 NEPŘÍMÉ D/A PŘEVODNÍKY SE SPÍNANÝMI PROUDOVÝMI ZDROJI	17
5 MODEL Y PŘEVODNÍKŮ	18
5.1 MODEL A/D PŘEVODNÍKU METODOU POSTUPNÉ APROXIMACE V NI LABVIEW	18
5.1.1 VÝVOJOVÝ DIAGRAM	20
5.1.2 IMPLEMENTACE ZDROJOVÉHO KÓDU SAR ADC	20
5.1.3 VÝPOČET BITU LSB	22
5.1.4 VÝSTUPNÍ HODNOTY A REFERENČNÍ NAPĚTÍ	22
5.1.5 POSTUPNÝ APROXIMAČNÍ REGISTR A D/A PŘEVODNÍK	23
5.1.6 REALIZACE PAMĚTI BITOVÉHO SLOVA	25
5.2 MODEL INTEGRAČNÍHO PŘEVODNÍKU V NI LABVIEW	25
5.2.1 IMPLEMENTACE ZDROJOVÉHO KÓDU INTEGRAČNÍHO A/D PŘEVODNÍKU	27
5.3 MODEL KOMPARAČNÍHO A/D PŘEVODNÍKU V NI LABVIEW	29
5.3.1 IMPLEMENTACE ZDROJOVÉHO KÓDU PARALELNÍHO ADC	30
5.4 MODEL ŘETĚZOVÉHO A/D PŘEVODNÍKU V NI LABVIEW	32
5.4.1 IMPLEMENTACE ZDROJOVÉHO KÓDU ŘETĚZOVÉHO A/D PŘEVODNÍKU	33
5.5 MODEL D/A PŘEVODNÍKU S VÁHOVOU STRUKTUROU V NI LABVIEW	34
5.5.1 IMPLEMENTACE ZDROJOVÉHO KÓDU D/A PŘEVODNÍKU S VÁHOVOU STRUKTUROU	35
6 OVĚŘENÍ ZÁKLADNÍCH STATICKÝCH A DYNAMICKÝCH PARAMETRŮ PŘEVODNÍKŮ	36
6.1 STATICKÉ A DYNAMICKÉ PARAMETRY PŘEVODNÍKŮ	36
6.2 OVĚŘENÍ STATICKÝCH PARAMETRŮ	37
6.2.1 CHYBY PŘEVODNÍ CHARAKTERISTIKY	37
6.2.2 INTEGRÁLNÍ A DIFERENCIÁLNÍ NELINEARITA	38
6.3 OVĚŘENÍ DYNAMICKÝCH PARAMETRŮ	39
6.3.1 MAXIMÁLNÍ DYNAMICKÝ ROZSAH	39
6.3.2 ODSUP SIGNÁLU OD KVANTIZAČNÍHO ŠUMU	40
6.3.3 EFEKTIVNÍ POČET BITŮ	47
7 NÁVRH ANTIALIASING FILTRU	48
8 SROVNÁNÍ PARAMETRŮ VŠECH MODELŮ	49
9 ZÁVĚR	51

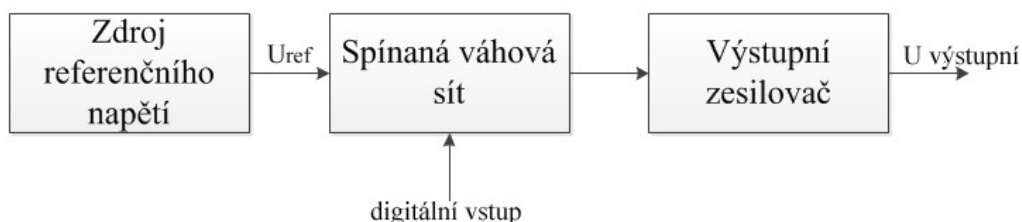
1 Úvod

V dnešní době je velká potřeba, aby se analogové signály daly převádět na digitální a naopak kvůli zpracování v počítačové a měřicí technice. K tomuto účelu slouží takzvané analogově-digitální a digitálně-analogové převodníky. Na Obr. 1 je uvedeno základní schéma pro převod analogového napětí na digitální.



Obr. 1 Základní schéma převodu analogového napětí na digitální

Analogový signál prochází nejdříve přes antialiasing filtr typu DP. Hned za ním následuje obvod, který ze vstupního signálu odebírá jednotlivé vzorky a ty jsou v dalším bloku kvantovány do jim odpovídajících kódových slov. V posledním bloku probíhá zpracování jednotlivých digitálních dat. Blokové schéma pro převod z digitálního signálu na analogové napětí je zobrazeno na Obr. 2. Skládá se ze zdroje referenčního napětí, spínané váhové sítě (nejčastěji je tato síť tvořená sítí odporů) a na koci je výstupní zesilovač. V mnoha případech jsou D/A převodníky přímo součástí převodníků A/D.



Obr. 2 Základní schéma převodu digitálního signálu na analogové napětí

Cílem této bakalářské práce je vytvoření modelů základních typů převodníků v prostředí programu LabVIEW což je grafický programovací jazyk určený především pro vývoj testovacích, měřicích a řídicích aplikací vyvíjený společností National Instruments. Hlavní požadavek pro tyto naimplementované modely spočívá v tom, aby se daly použít jako výukový materiál. Z tohoto důvodu by měly obsahovat názorné grafy a jednotlivé důležité mezi výpočty, které napomůžou snadnému pochopení této problematiky a aby se na tyto modely daly přivést testovací signály, které ověří základní parametry převodníků. Jak statické, které jsou odvozovány z převodních charakteristik, tak i dynamické, které jsou odvozovány z frekvenčních spekter.

2 Základní pojmy převodníků

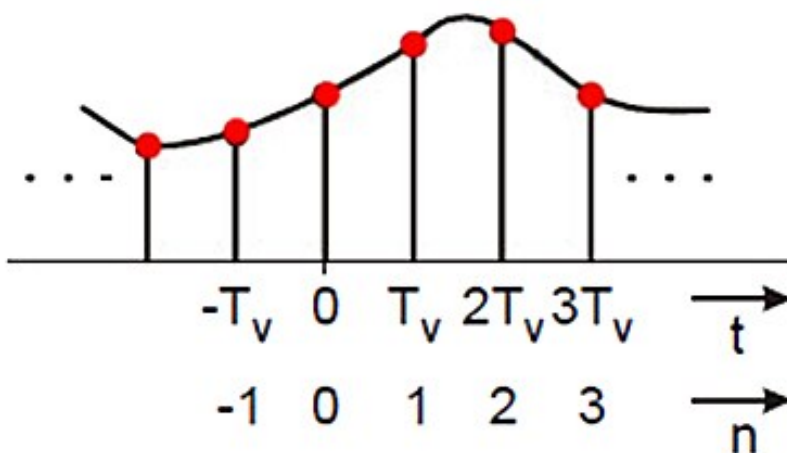
2.1 Rozlišení

Rozlišení převodníku udává množství diskrétních hodnot, kterými může být reprezentován analogový signál. Tyto hodnoty jsou ukládány v binární formě. Proto se rozlišení vyjadřuje v bitech. Například AD převodník, který má rozlišení 8 bitů může kódovat vstupní signál do $2^8 = 256$ různých diskrétních hodnot.

2.2 Vzorkování

Vzorkování signálu je proces diskretizace v časové oblasti. Protože počítače nejsou nekonečně rychlé a hlavně mají konečnou kapacitu paměti, musíme se u reálného vzorkování při A/D převodu omezit pouze na nezbytně nutný počet vzorků, které se budou dále zpracovávat.

Proces vzorkování se provádí tak, že se časová osa rozdělí na jednotlivé rovnoměrné úseky a v každém z těchto úseků se odebere jeden vzorek signálu. Na Obr. 3 jsou tyto vzorky vyznačeny červenými body. Z původního signálu se tak ovšem ztratí mnoho detailů, protože místo spojitého signálu dostáváme pouze množinu diskrétních bodů s intervalem odpovídajícím vzorkovací frekvenci.



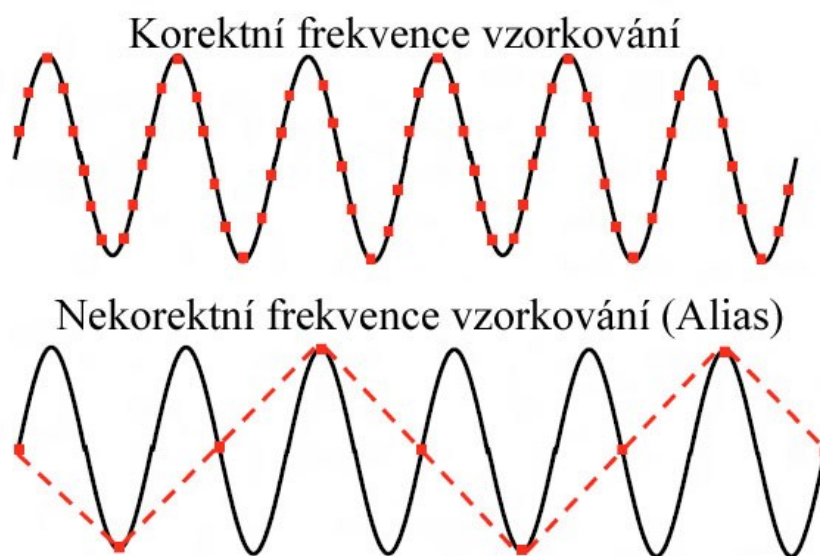
Obr. 3 Vzorkování vstupního signálu

2.3 Aliasing

Chyba vzorkování může být daleko horší, pokud nedodržíme takzvaný vzorkovací teorém (Shannon - Kotělnikovův teorém někdy také Nyquistův teorém), jehož definice zní: „Přesná rekonstrukce spojitého, frekvenčně omezeného signálu z jeho vzorků je možná jenom tehdy, pokud byl vzorkován frekvencí alespoň dvakrát vyšší, než je maximální frekvence rekonstruovaného signálu“. [2]

$$f_v > 2 \cdot f_{\max} \quad (2.1)$$

Kde f_v je frekvence vzorkování a f_{\max} je maximální frekvence obsažená v signálu. Pokud tomu tak není, nastává problém aliasing neboli úplné zkreslení signálu. Ukázka vzniku aliasingu je na Obr. 4.



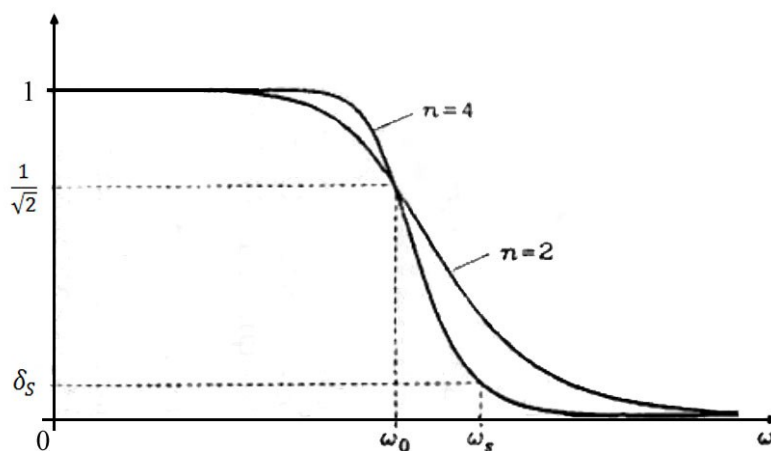
Obr. 4 Vznik aliasingu

Například frekvence vzorkování v telekomunikačních službách bývá 8 kHz, neboť pro přenos hlasu se používá spektrum od 300 Hz do 3,4 kHz. Pro záznam hudby na CD je pak použito 44,1 kHz, protože spektrum pro záznam zvuku se pohybuje od 20Hz do 20kHz.

2.4 Antialiasingový filtr

Jako prevence proti vzniku aliasingu se používají 2 způsoby. Prvním z nich může být tzv. převzorkování signálu (oversampling). Druhým způsobem, který se používá častěji je zařazení antialiasing filtru. Tento filtr je realizován jako filtr typu DP (dolní propust) a jeho účelem je omezení

maximální vstupní frekvence vstupující do převodníku. Frekvenční charakteristika tohoto filtru je zobrazena na Obr. 5.



Obr. 5 Filtr typu (Butterworth) dolní propust [4]

2.5 Kvantování a kvantovací chyba

Po vzorkování nastává další proces – kvantování, kterým se převádí jednotlivé vzorky na kvantovaný (diskrétní) signál, který má konečný počet možných diskrétních hodnot. To je, že hodnoty vzorků $x(n)$ jsou do určité přesnosti vyjádřeny kvantovanými hodnotami $x_q(n)$. Na Obr. 6 je znázorněn princip kvantování a jeho základní pojmy. Červeně jsou vyznačeny přesné hodnoty $x(n)$, které odpovídají vstupnímu signálu. Zeleně jsou pak kvantované hodnoty $x_q(n)$. Proces kvantování způsobuje vždy pokles kvality signálu, neboť nelze zpětně určit přesné původní hodnoty vzorků $x(n)$. Sousední rozhodovací úrovně vymezují jednotlivé kvantizační stupně, které mají šířku Δ (LSB). Vzorky spadající do jednoho kvantizačního stupně jsou vyjádřeny příslušnou kvantovanou hodnotou $x_q(n)$, neboli příslušným kódovým slovem.

Rozsah kvantizéru $2V$ je rozdělen na N kvantizačních stupňů, které mají jednotnou šířku Δ .

$$N = 2^n \quad (2.2)$$

Kde n je počet bitů v kódových slovech. Velikost jednoho kvantizačního stupně (LSB) tedy bude

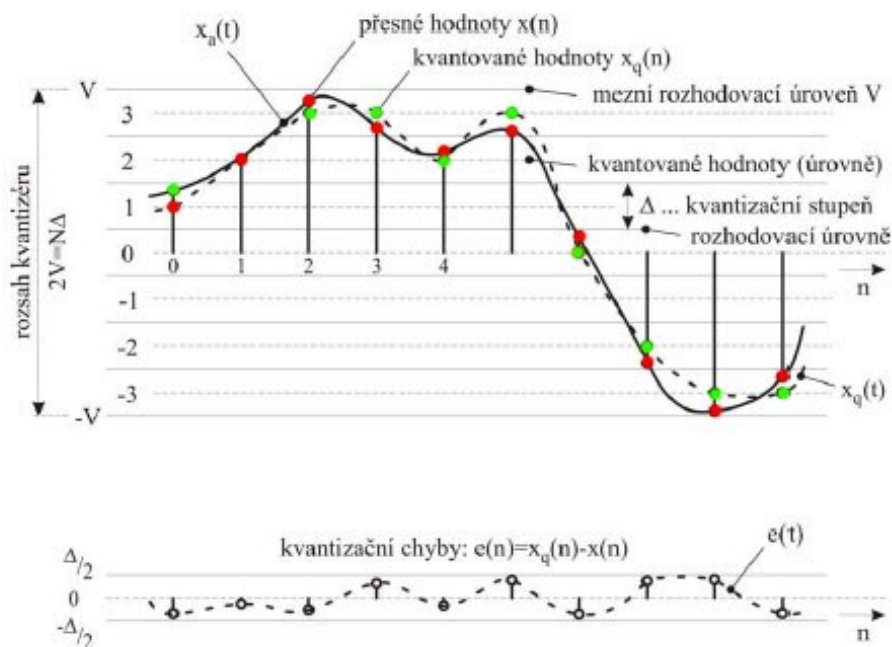
$$\Delta = \frac{2V}{N}. \quad (2.3)$$

Rozdíl mezi přesnou vzorkovanou hodnotou a kvantovanou hodnotou představuje tzv. kvantizační chybu $e(n)$:

$$e(n) = x_q(n) - x(n) \quad (2.4)$$

Pro jakýkoli vstupní signál je tato chyba zcela náhodná a v konečném efektu se po obnově analogového signálu projevuje jako kvantizační šum. Velikost této chyby se pohybuje v intervalu

$$-\frac{\Delta}{2} \leq e(n) \leq \frac{\Delta}{2}. \quad (2.5)$$



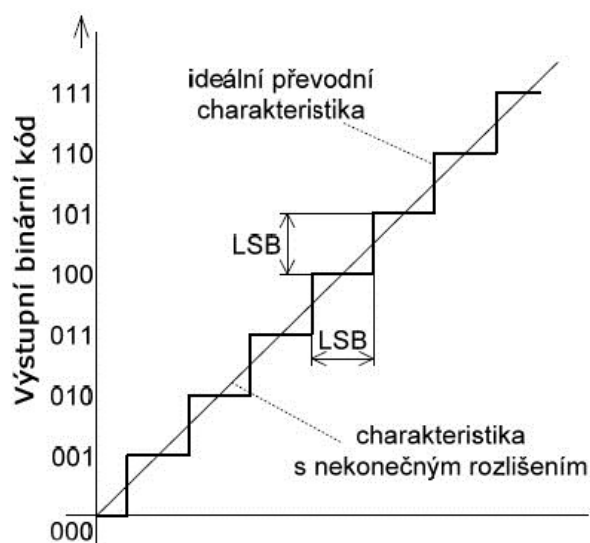
Obr. 6 Princip kvantování a jeho základní pojmy

Rozsah kvantizéru je vymezen mezními rozhodovacími úrovněmi $\pm V$. Jestliže dojde k tomu, že vstupní signál překročí tyto úrovně, začne se uplatňovat tzv. šum omezením (overload noise). Tato chyba je simulována na Obr. 7 a ukazuje, co se stane, když má převodník maximální vstupní rozkmit $\pm 10V$ a na jeho vstup je přiveden signál s rozkmitem $\pm 15V$.



Obr. 7 Omezení signálu

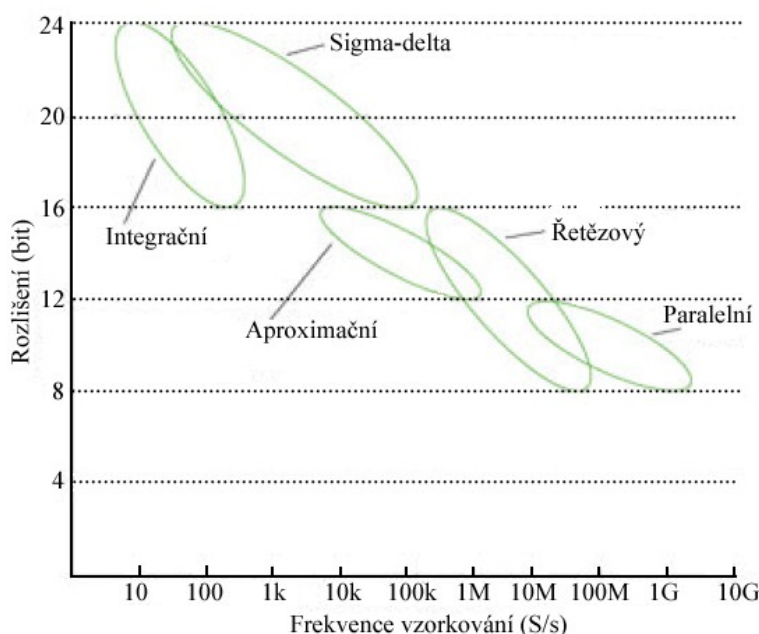
Na Obr. 8 je zobrazena ideální převodní charakteristika 3 bitového ADC, která vyobrazuje funkci kvantizéru. Hodnota LSB (Least Signification Bit) je velikost jednoho kvantizačního stupně.



Obr. 8 Převodní charakteristika ideálního 3 - bitového ADC [4]

3 Typy A/D převodníků

Podle způsobu a rychlosti převodu se A/D převodníky dělí na několik od sebe odlišných typů. Mezi nejrychlejší tzv. bleskové převodníky patří komparační (paralelní, flash) převodníky a převodníky postupné komparace (řetězové). Mezi středně rychlé převodníky se řadí tzv. kompenzační převodníky (například metoda postupné aproximace). Do nejpomalejších zařízení pak patří převodníky typu sigma-delta a integrační převodníky. Každý z těchto typů má své vlastní klady, zápory a taky uplatnění. Rozdělení jednotlivých typů převodníků podle rychlosti a počtu bitů je na Obr. 9.



Obr. 9 Rozdělení ADC podle rozlišení a rychlosti

Stručné shrnutí jednotlivých typů převodníků a jejich klady a zápory jsou uvedeny v **Tab. 1**.

Tab. 1 Přehled typů AD převodníků. Jejich výhody a nevýhody [4]

Typ převodníku	Výhody	Nevýhody
$\Sigma\Delta$	<ul style="list-style-type: none"> - Vysoká rozlišovací schopnost (až 24 bitů) - Jednoduchý hardware - Není potřeba vzorkovací obvod díky funkci převzorkování - Není potřeba Antialiasingový filtr 	<ul style="list-style-type: none"> - Nízký vzorkovací kmitočet řádově kolem stovek kS/s.
Integrační	<ul style="list-style-type: none"> - Vysoká rozlišovací schopnost až 24 bitů 	<ul style="list-style-type: none"> - Nižší vzorkovací kmitočet - Nutnost velkých kapacit v integrátoru - Nákladné na výrobu

Postupná Aproximace	<ul style="list-style-type: none"> - Dobrá rozlišovací schopnost kolem 16 bitů - Jednoduchý hardware - Nízká spotřeba 	<ul style="list-style-type: none"> - Vzorkovací kmitočet až jednotky MS/s - Přesnost je závislá na přesnosti interního DAC
Postupná komparace	<ul style="list-style-type: none"> - Dobrá rozlišovací schopnost až 16 bitů - Vzorkovací kmitočet až stovky MS/s - Plocha čipu roste lineárně s počtem bitů 	<ul style="list-style-type: none"> - Přesnost převodu je závislá na přesnosti prvních bloků, které řeší nejvyšší váhové bity - Nutnost časového sladění vzorku před odesláním na výstup
paralelní	<ul style="list-style-type: none"> - Nejvyšší vzorkovací kmitočet až GS/s 	<ul style="list-style-type: none"> - Nízké rozlišení do 12 bitů - Se zvyšujícím se rozlišením roste počet komparátorů exponenciálně - Velká plocha čipu

3.1 Integrační převodníky

Základem těchto převodníků je integrátor. Výstupem tohoto převodníku je binární číslo, které odpovídá průměrné hodnotě vstupního napětí. Na vstupu musí být kvůli vlivu průměrování vzorkovací obvod. Podle funkce se rozlišují dva typy těchto převodníků a to na převodníky s mezi převodem na kmitočet a s mezi převodem na časový interval. Integrační převodníky jsou pomalé a pro převod rychle se měnícího spojitého signálu jsou nevhodné. Proto pro jejich velkou přesnost nacházejí uplatnění především v měřicích zařízeních.

3.1.1 Integrační převodník s mezi převodem na kmitočet

Tento typ převodníku pracuje podle zapojení na Obr. 10. Napětí na vstupu převodníku je integrováno po dobu, která se rovná

$$T_i = \frac{U_r}{U_{vst}} RC, \quad (3.1)$$

za kterou výstupní napětí zesilovače Z dosáhne komparační úrovně $U_1 > 0$. Komparátor KOMP1 se překlopí a vyrobí proudový impuls s nábojem

$$Q_1 = -I \cdot T_{ref} = -C \cdot U_{ref}, \quad (3.2)$$

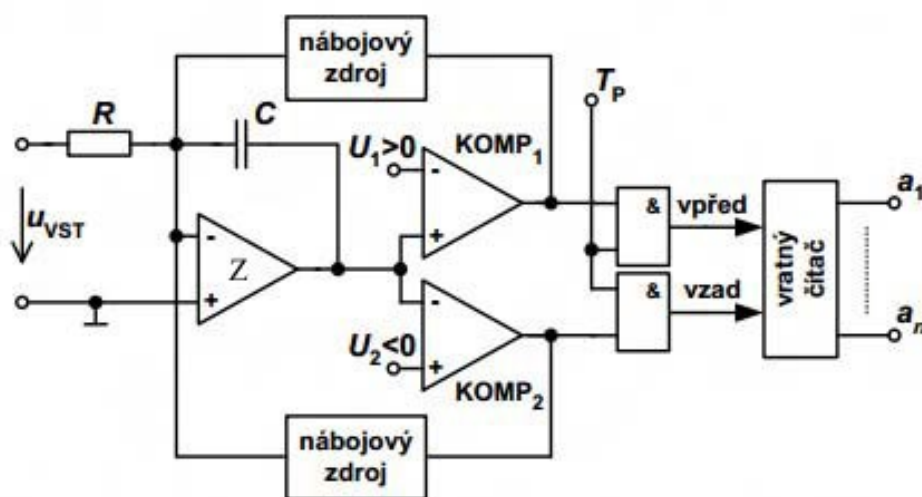
a ten způsobí, že se výstupní napětí zesilovače sníží na nulu. Kmitočet f , který je vyráběn překlápěním komparátoru určuje za předpokladu $T_{ref} \rightarrow 0$ hodnotu

$$f = \frac{1}{T_1} = \frac{U_{vst}}{U_{ref} \cdot R \cdot C}. \quad (3.3)$$

Číslicový signál, který je odebírán na výstupu n-bitového vratného čítače po dobu T_p převodu je

$$D = \frac{T_p}{T_i} = \frac{u_{vst} \cdot T_p}{U_{ref} \cdot R \cdot C} = konst \cdot u_{vst} \quad (3.4)$$

Pro vstupní napětí, které má opačnou polaritu pracuje stejným způsobem spodní větev s komparátorem KOMP2. Nábojový zdroj je u konkrétních realizací tvořen monostabilním klopným obvodem, který je spínán v přesně stanovených časových intervalech analogovým spínačem, připojujícím referenční napětí k rezistoru R, jímž protéká definovaný proud I. [4]



Obr. 10 Zapojení integračního ADC s mezi převodem na kmitočet [4]

3.1.2 Integrační převodník s mezi převodem na časový interval

Existuje několik variant tohoto typu převodníku. Na Obr. 11 je zapojení ADC s dvojsklonnou integrací, která má oproti typu s jednosklonnou integrací řadu výhod. [4] Odstraňuje vliv nestability rezistoru a kapacitoru v integračním zesilovači a nestability kmitočtu z pomocného generátoru. V prvním kroku převodník integruje vstupní napětí U_{vst} a ve druhém kroku napětí referenční U_{ref} . Po příchodu startovacího impulsu S na vstup klopného obvodu KO1 se tento překlápí a sepne spínač S1. Integrátor začne integrovat vstupní napětí U_{vst} po dobu

$$T_1 = \frac{2^n}{f}, \quad (3.5)$$

kterou určuje naplnění čítače s kapacitou 2^n impulzy a kmitočtem f impulzů z pomocného generátoru, které procházejí přes otevřené hradlo H1. Na konci prvního kroku bude na integrátoru napětí

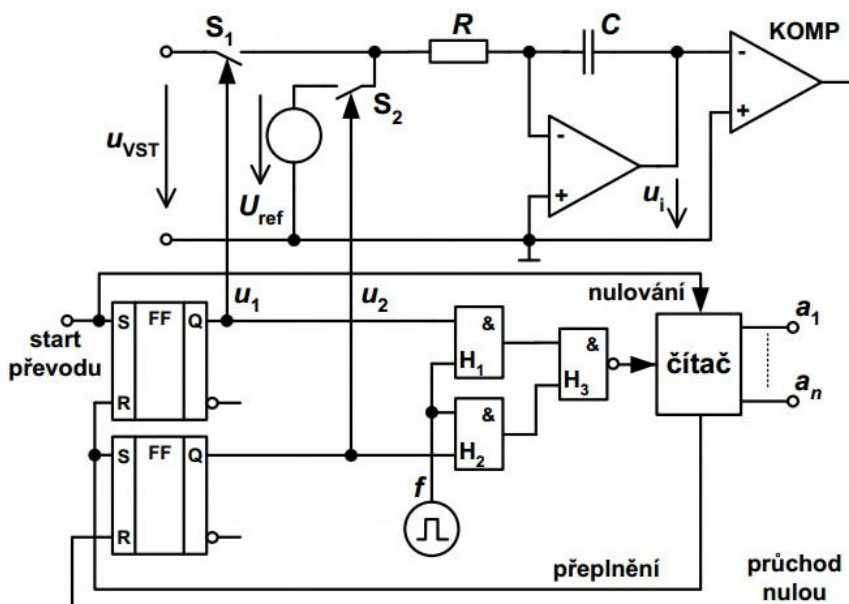
$$u_i = u_{vst} \frac{T_1}{R \cdot C}. \quad (3.6)$$

Jakmile dojde k naplnění čítače, jeho impulzem přeplnění dojde k vynulování klopného obvodu KO1 a zároveň dojde k rozpojení spínače S1 a tím se odpojí vstupní napětí U_{vst} . Ve stejné chvíli se překlápí klopný obvod KO2 a dojde k sepnutí spínače S2 a připojení referenčního napětí $U_{ref} < 0$. Čítač nyní začne čítat impulzy přes hradlo H2. Integrátor integruje referenční napětí po dobu T_2 danou dosažením nulové hodnoty výstupního napětí U_i . Jakmile výstupní napětí dosáhne hodnoty 0, komparátor se překlápí a vynuluje klopný obvod KO2. Zároveň dojde k rozpojení spínače S2 a taky se uzavře hradlo H2. Na výstupu čítače zůstane číslo D, které odpovídá době

$$T_2 = \frac{U_{vst}}{U_{ref}} \cdot T_1. \quad (3.7)$$

Pro číslo D platí

$$D = \frac{f \cdot T_2}{2^n} = \frac{U_{vst}}{U_{ref}}. \quad (3.8)$$



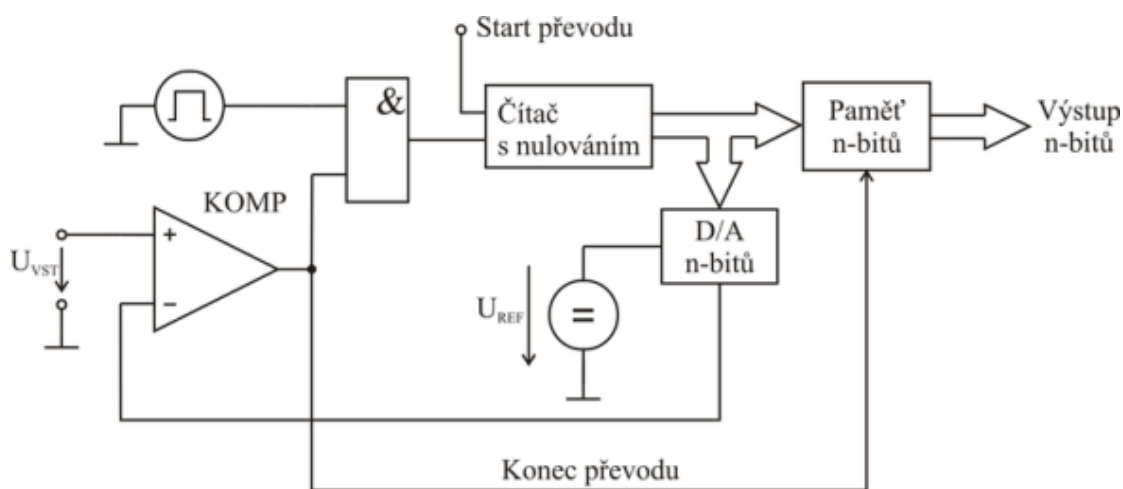
Obr. 11 Zapojení integračního ADC s mezi převodem na čas [4]

3.2 Kompenzační převodníky

Tyto převodníky porovnávají vstupní napětí s hodnotou napětí zpětnovazebního, které je generováno pomocí integrovaného DA převodníku. Jako porovnávací prvek se používá komparátor. Podle principu činnosti se tyto převodníky dělí na kompenzační čítací, kompenzační sledovací a s postupnou aproximací. Tyto převodníky se pro jejich relativně dobrou rychlost převodu a pro jednoduchost konstrukce používají nejčastěji.

3.2.1 Kompenzační čítací

Blokové schéma tohoto převodníku je Obr. 12. Převod začíná vynulováním čítače startovacím impulzem. Na výstupu z komparátoru je logická 1 a přes hradlo AND vstupují do čítače impulzy z generátoru. Obsah tohoto čítače se s každým impulzem zvyšuje a z jeho výstupu jdou signály do zpětnovazební větve, kde vstupují do D/A převodníku. Napětí na jeho výstupu se postupně zvětšuje. V momentě, kdy toto napětí dosáhne hodnoty vstupního napětí se překlopí komparátor do hodnoty logické 0. Hradlo AND se uzavře a dojde k odpojení impulzů z generátoru. Zároveň se vyšle signál konec převodu a do bloku paměť bitů se odešle výstupní slovo.



Obr. 12 Blokové schéma kompenzačního čítacího ADC [3]

3.2.2 Kompenzační sledovací

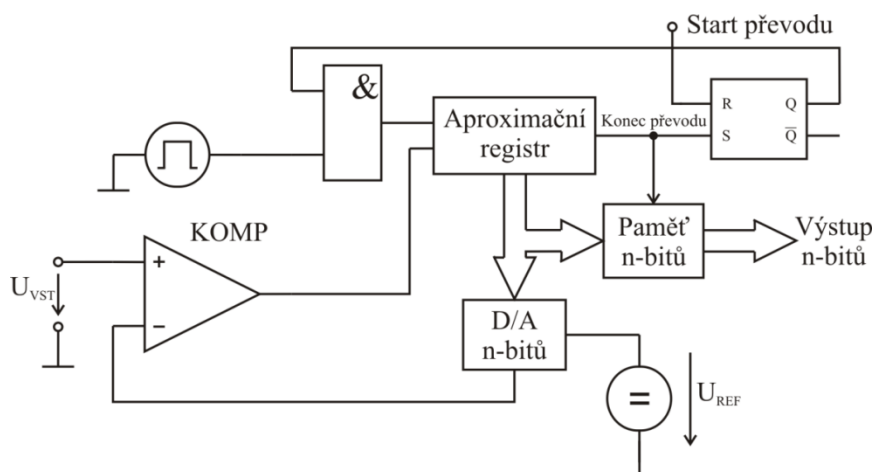
Funguje na stejném principu jako kompenzační čítací s tím rozdílem, že obsahuje obousměrný čítač, který může čítat vpřed i vzad. Napětíový komparátor řídí směr čítání. Takže číslicový výstup sleduje

změny vstupního napětí. U čítacího a sledovacího převodníku se v každém taktu z generátoru mění výstupní slova vždy o hodnotu LSB.

3.2.3 S postupnou aproximací (SAR)

V současné době disponují převodníky SAR (successive approximation register) rozlišením až 20 bitů a s vzorkovací frekvencí 100 kS/s až 1 MS/s.

Blokové schéma SAR převodníku je Obr. 13. Na začátku převodu nastaví aproximační registr jako výstupní slovo samé nuly s výjimkou nejvyššího bitu (MSB), který nastaví na hodnotu jedna. Toto nastavení bude mít za následek to, že výstup z integrovaného D/A (digitálně analogového převodníku) bude nabývat hodnoty, která je rovna přesné polovině z maximálního vstupního rozsahu. Komparátor porovná toto napětí se vstupním měřeným napětím a podle výsledku porovnání aproximační registr nastaví další výstupní slovo, které následně D/A převede na další referenční napětí pro komparátor.



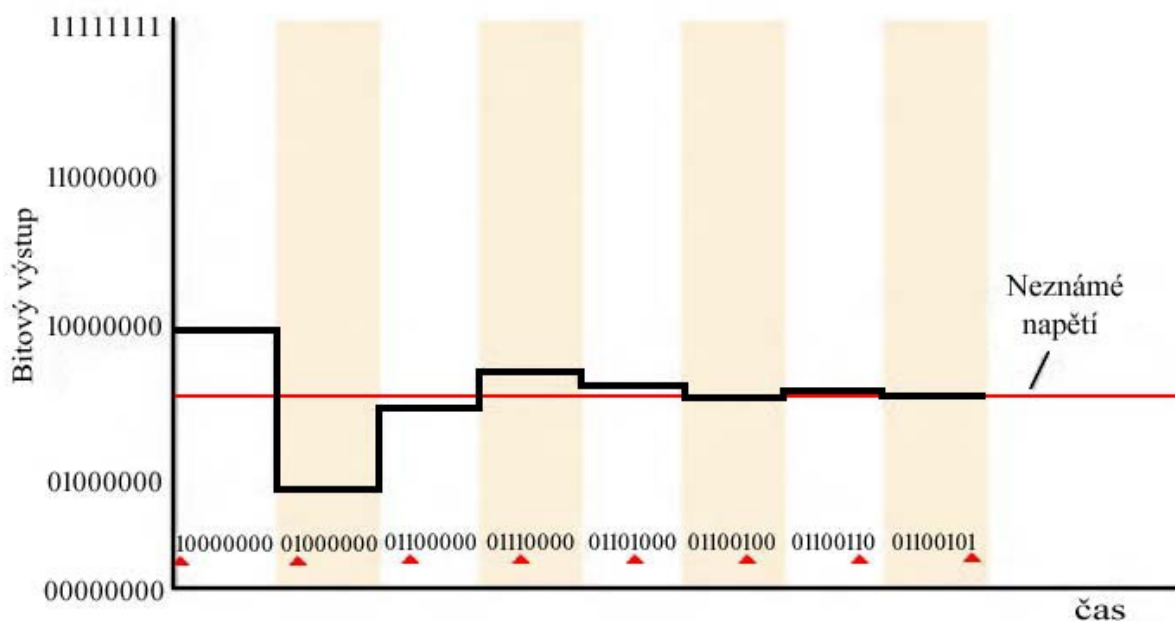
Obr. 13 Blokové schéma SAR převodníku [3]

Pro příklad, můžeme vzít v úvahu 8 - bitový SAR převodník. Postup převodu je znázorněn na Obr. 14. Červenými šipkami je znázorněn aktuální cyklus. Výstup z aproximačního registru začne v prvním cyklu nastavením hodnoty 1 na nejvyšším váhovém bitu tedy 10000000 a ten bude pomocí D/A převeden na první referenční napětí. Pokud napětí U_{vst} na vstupu převodníku bude menší, než je polovina maximálního vstupního rozsahu, výstup komparátoru přejde (nebo zůstane) do polohy logické 0. To způsobí, že se první bit na výstupu aproximačního registru změní na 0 a druhý bit se nastaví na 1, takže v druhém cyklu bude na výstupu tohoto registru 01000000 a ten je opět D/A převodníkem převeden na další referenční napětí pro komparátor. Jestliže výstup komparátoru přejde do polohy logické 0, druhý bit bude ponechán na hodnotě 1 a třetí bude nastaven taky na 1. V třetím

cyklu bude výstup z aproximačního registru 01100000, který D/A převodník převede na třetí referenční napětí a tak dále.

Pro nastavení každého bitu potřebují SAR převodníky jeden cyklus. To znamená, že N-bitový převodník potřebuje pro převod N cyklů.

Na Obr. 14 jsou rozepsány jednotlivé kroky práce aproximačního registru a způsob jakým se převodník postupně přibližoval k hodnotě měřeného napětí.

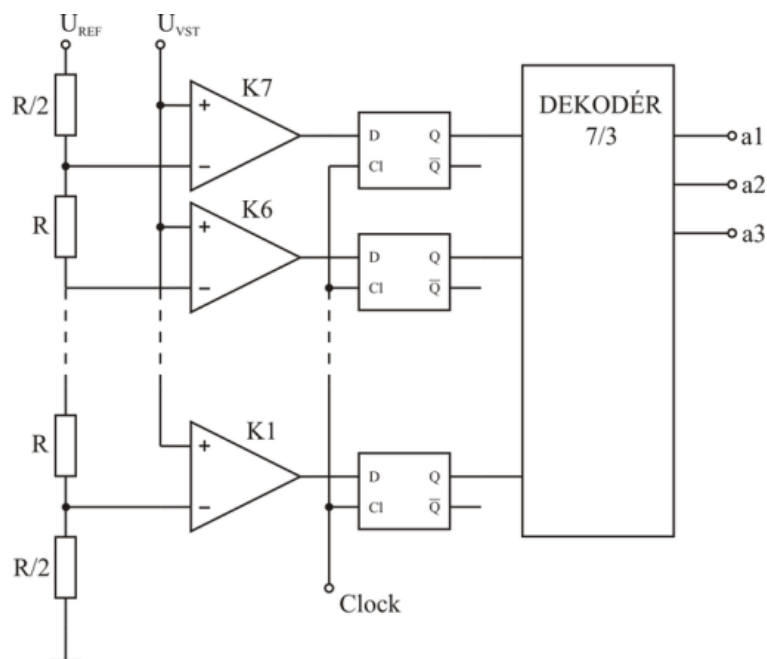


Obr. 14 Princip činnosti SAR převodníku

3.3 Paralelní (flash) A/D převodníky

Tyto převodníky využívají přímé konverze vstupního napětí na diskretní kódové slovo v jednom jediném cyklu. Schéma zapojení paralelního převodníku je na Obr. 15. Využívá se paralelního zapojení komparátorů a referenčního napětí, které je realizováno odporovým děličem. Vzorkování vstupního signálu je zajištěno hodinovým signálem *Clock*, kdy se s každým taktem do klopných obvodů zapíše stav z výstupů komparátorů. Za klopnými obvody následuje dekodér BCD kódu, který převádí tento výstup na kódové slovo. Výstup dekodéru a1 je bit s nejvyšší vahou (MSB), výstup a3 je bit s vahou nejnižší (LSB). Převodní tabulka tohoto dekodéru je uvedena v Tab. 2. Platí, že pro převodník s rozlišením N bitů je potřeba $2^N - 1$ komparátorů a odporů. Tzn., že pro 8 bitový převodník je potřeba 255 komparátorů a rezistorů, přičemž s každým rozlišovacím bitem navíc se tento počet zdvojnásobuje. Typicky se tyto převodníky vyrábějí 8 bitové a v některých případech 10

bitové. Tato přímá konverze je velmi rychlá. Dá se dosáhnout vzorkovací frekvence až v řádech GS/s. Nevýhodou je velká energetická náročnost a plocha čipu.



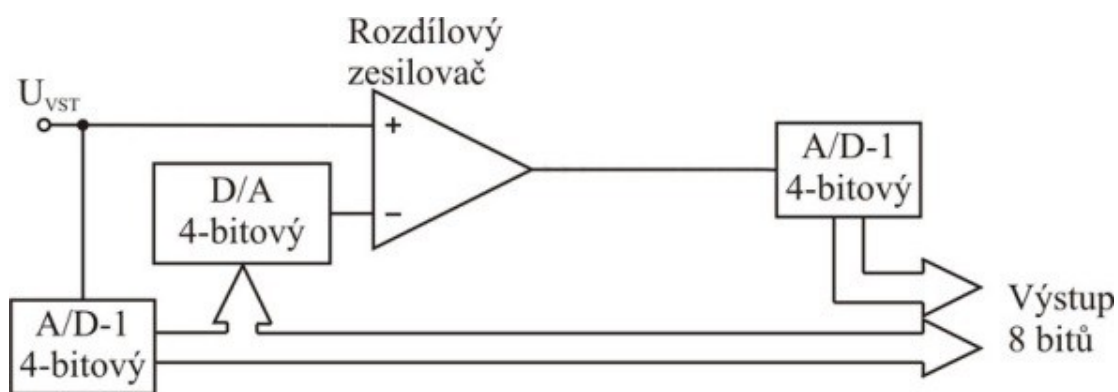
Obr. 15 Schéma paralelního ADC [3]

Tab. 2 Dekódovací tabulka 7/3 dekodéru pro 3 bitový ADC

U_{vst}/U_{ref}	K7	K6	K5	K4	K3	K2	K1	a1	a1	a3
0	0	0	0	0	0	0	0	0	0	0
1/8	0	0	0	0	0	0	1	0	0	1
2/8	0	0	0	0	0	1	1	0	1	0
3/8	0	0	0	0	1	1	1	0	1	1
4/8	0	0	0	1	1	1	1	1	0	0
5/8	0	0	1	1	1	1	1	1	0	1
6/8	0	1	1	1	1	1	1	1	1	0
7/8	1	1	1	1	1	1	1	1	1	1

3.4 Řetězové převodníky

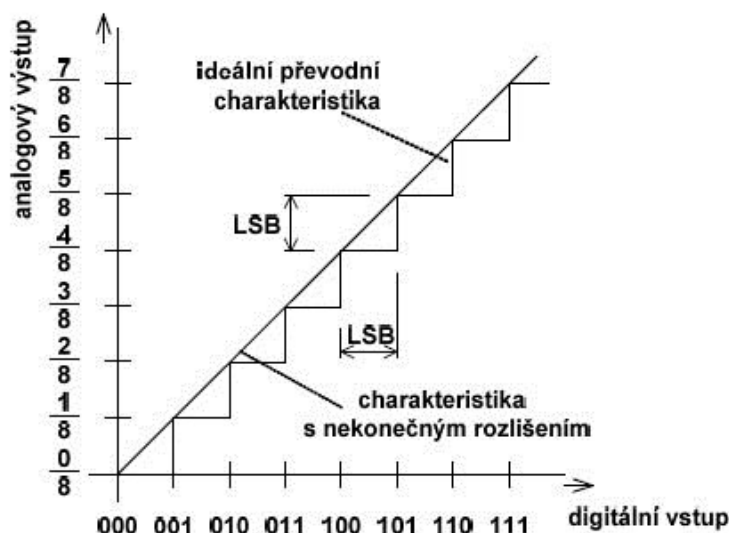
Jinak taky A/D postupné komparace. Tento typ převodníku má výhodu především v tom, že pro rozlišení 8 bitů nepotřebuje $2^8 - 1 = 255$ komparátorů, ale pouze $2 \cdot (2^4 - 1) = 30$ komparátorů. Jeho blokové schéma je zobrazeno na Obr. 16. Vstupní měřené napětí je nejdřív převedeno „nahrubo“ prvním 4 bitovým paralelním převodníkem na vyšší 4 bity výstupního slova. Výstup z tohoto prvního převodníku je poté 4 bitovým D/A převodníkem zpětně převeden na odpovídající analogové napětí, které se následně v rozdílovém zesilovači odečte od napětí na vstupu. Z tohoto důvodu musí mít tento A/D na vstupu vzorkovací obvod s pamětí. Tento rozdíl je potom znovu digitalizován druhým 4 bitovým komparačním A/D převodníkem „najemno“. Dané 4 - bitové výstupy obou těchto převodníků pak dávají dohromady výsledné 8 bitové slovo. Hlavní výhodou je podstatně menší počet komparátorů při zachování stejného bitového rozlišení a vysoké rychlosti převodu. Pro vysokou rychlost převodu se tyto A/D používají v systémech s rychle se měnícím signálem například ve videotechnice.



Obr. 16 Blokové schéma 8 bitového řetězového převodníku [3]

4 Typy D/A převodníků

Tyto převodníky se používají pro převod digitálního (diskrétního) signálu na odpovídající analogový (spojitý) signál. Je to opačný převod jako v případě A/D převodníků. Rozlišovací schopnost těchto převodníků je dána počtem výstupních napětí, která se mohou objevit na výstupu. Ideální převodní charakteristika D/A převodníku je na Obr. 17.



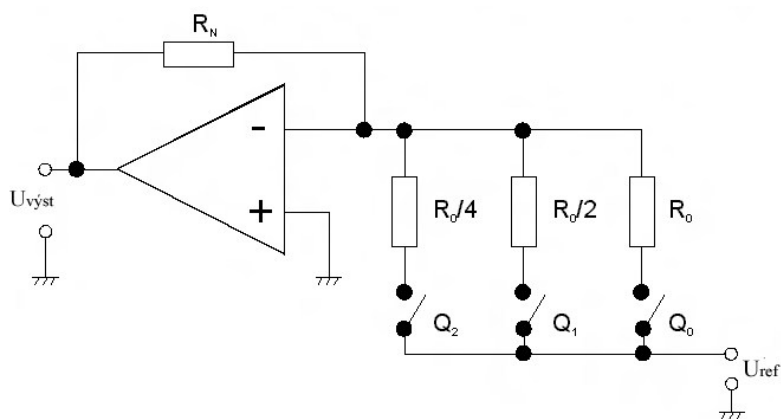
Obr. 17 Ideální převodní charakteristika D/A převodníku [4]

4.1 D/A převodníky s váhovou strukturou

Pro D/A převod se využívají hlavně vlastnosti operačního zesilovače, u kterého zesílení určuje zpětná vazba. K referenčnímu napětí se připojují odpory s takovými hodnotami, že každý další má dvojnásobnou hodnotu jako předešlý. Na Obr. 18 je principiální zapojení 3 - bitového D/A převodníku. Pokud bychom chtěli více bitový převodník, museli bychom připojit do sítě další odpory $R/8$, $R/16$ atd.

Výstupní analogové napětí převodníku je pak rovno

$$U_{\text{výst}} = -U_{\text{ref}} \cdot \frac{R_N}{R_0} (4Q_2 + 2Q_1 + Q_0) = -U_{\text{ref}} \cdot \frac{R_N}{R_0} \sum_{n=0}^{N-1} 2^n Q_n \quad (4.1)$$



Obr. 18 Zapojení D/A převodníku s váhovou strukturou [5]

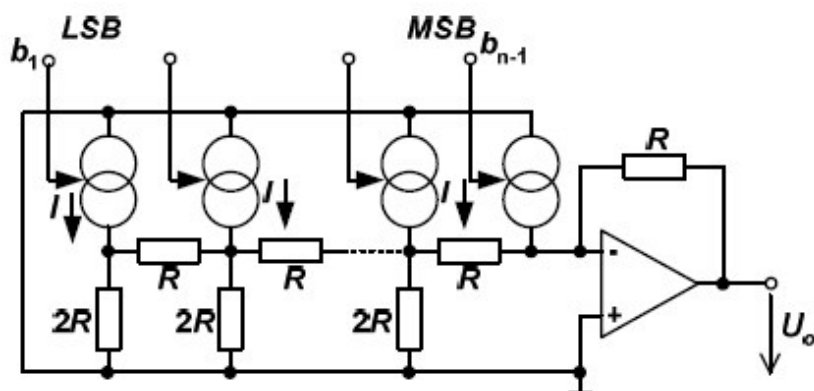
Přesnost převodu je závislá na přesnosti jednotlivých odporů v síti. Čím více bitů má vstupní slovo, tím větší jsou nároky na přesnost jednotlivých váhových odporů. Pro přesnost jednotlivých odporů platí vztah

$$\frac{\Delta R_n}{R_n} = \frac{1}{2^n} \quad (4.2)$$

, kde R_n je velikost odporu u bitu s vahou n .

4.2 Nepřímé D/A převodníky se spínanými proudovými zdroji

Tyto převodníky se používají nejčastěji. Používá se v nich celkem N proudových zdrojů se stejným jmenovitým proudem I , přičemž ostatní váhové proudy I_k se z tohoto proudu odvozují v síti rezistorů Obr. 19.



Obr. 19 D/A převodník se spínanými proudovými zdroji [4]

Jestliže bude hodnota daného bitu 1, proudový zdroj se aktivuje a do sítě rezistorů je vnucen proud I , který se při toku k výstupu postupně dělí na každém uzlu a svým podílem přispívá podle rov. (4.3) do celkového proudu i .

$$i = b_{n-1} + b_{n-2} \frac{I}{2} + \dots + b_0 \frac{I}{2^{n-1}} \quad (4.3)$$

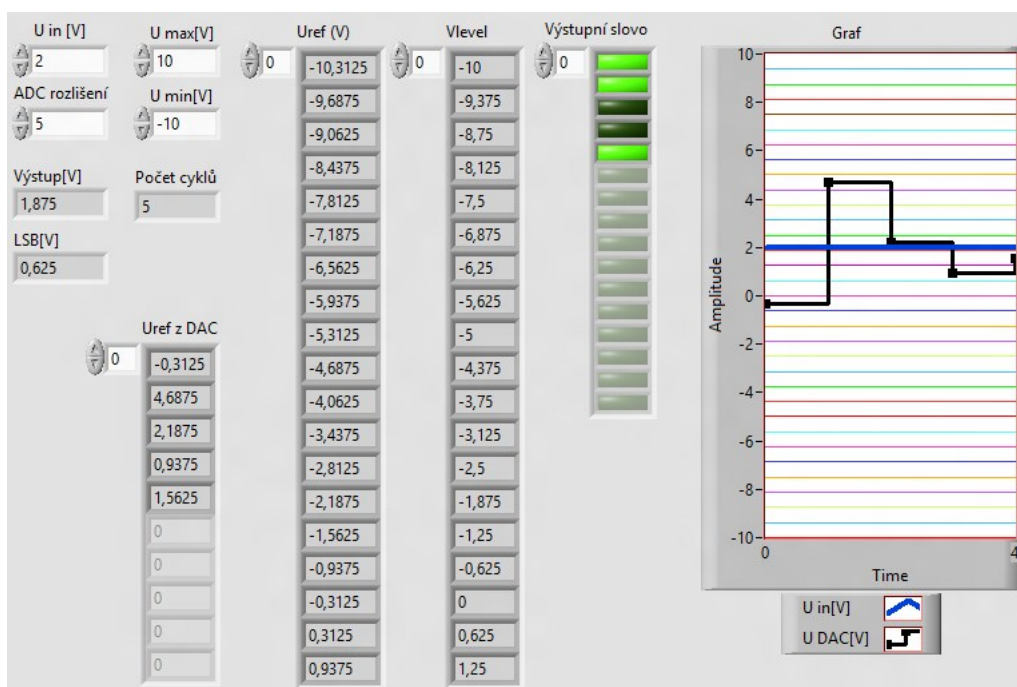
5 Modely převodníků

5.1 Model A/D převodníku metodou postupné aproximace v NI LabVIEW.

Programový model tohoto A/D převodníku je na Obr. 20. Vstupní hodnoty, které se do programu zadávají, jsou:

- vstupní (měřené) napětí U_{in}
- rozlišení převodníku
- maximální napěťový rozsah U_{max}
- minimální napěťový rozsah U_{min}

Ostatní důležité parametry potřebné pro správnou funkčnost se programově dopočítávají z těchto zadaných vstupů. Patří mezi ně samotný výstup převodníku, hodnota nejmenšího váhového bitu (LSB), hodnoty prahových (referenčních) napětí U_{ref} , hodnoty které se mohou objevit na výstupu převodníku (Vlevel), binární výstupní slovo a graf.



Obr. 20 Grafický výstup SAR převodníku

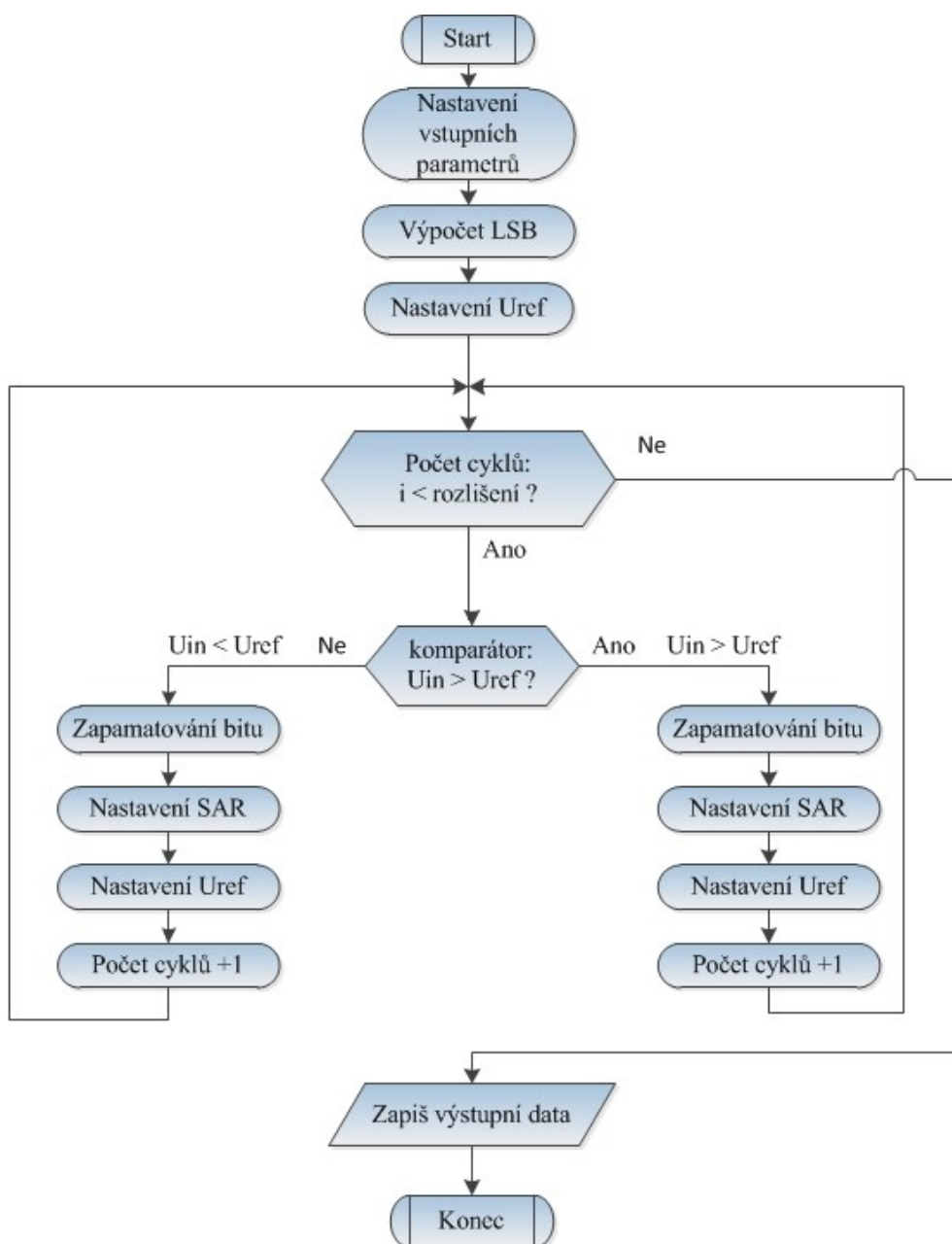
Jako vstupní data pro tento model A/D převodníku je nastaveno vstupní napětí 2V a rozlišení převodníku je 5 bitů s maximálním vstupním rozsahem od -10 V do +10 V. Hodnota jeho nejmenšího váhového bitu (LSB) je při tomto nastavení 0,625 V. Obsahuje celkem 2^5 tj. 32 možných výstupních hodnot (Vlevel) a 32 možných referenčních hodnot (U_{ref}). Jejich kompletní výpis je uveden v Tab. 3. Modrou čarou je v grafu vyznačena velikost vstupního napětí U_{in} . Černá křivka pak znázorňuje funkci registru a jednotlivých 5 referenčních napětí vystupujících z D/A převodníku, které byly komparátorem porovnávány s napětím U_{in} . Tyto hodnoty jsou vypsané v poli U_{ref} z DAC. Ostatní barevné čáry v grafu jsou jednotlivé možné výstupy.

V grafu stojí za povšimnutí, že hodnoty U_{ref} se nacházejí vždy přesně mezi dvěma hodnotami Vlevel jak je to popsáno v kapitole 2.5 a na Obr. 6.

Tab. 3 Kompletní hodnoty U_{ref} a Vlevel pro 5 bitový převodník

i	U_{ref}	Vlevel	i	U_{ref}	Vlevel
0	-10,3125	-10	16	-0,3125	0
1	-9,6875	-9,375	17	0,3125	0,625
2	-9,0625	-8,75	18	0,9375	1,25
3	-8,4375	-8,125	19	1,5625	1,875
4	-7,8125	-7,5	20	2,1875	2,5
5	-7,1875	-6,875	21	2,8125	3,125
6	-6,5625	-6,25	22	3,4375	3,75
7	-5,9375	-5,625	23	4,0625	4,375
8	-5,3125	-5	24	4,6875	5
9	-4,6875	-4,375	25	5,3125	5,625
10	-4,0625	-3,75	26	5,9375	6,875
11	-3,4375	-3,125	27	6,5625	7,5
12	-2,8125	-2,5	28	7,1875	8,125
13	-2,1875	-1,875	29	8,4375	8,75
14	-1,5625	-1,25	30	9,0625	9,375
15	-0,9375	-0,625			

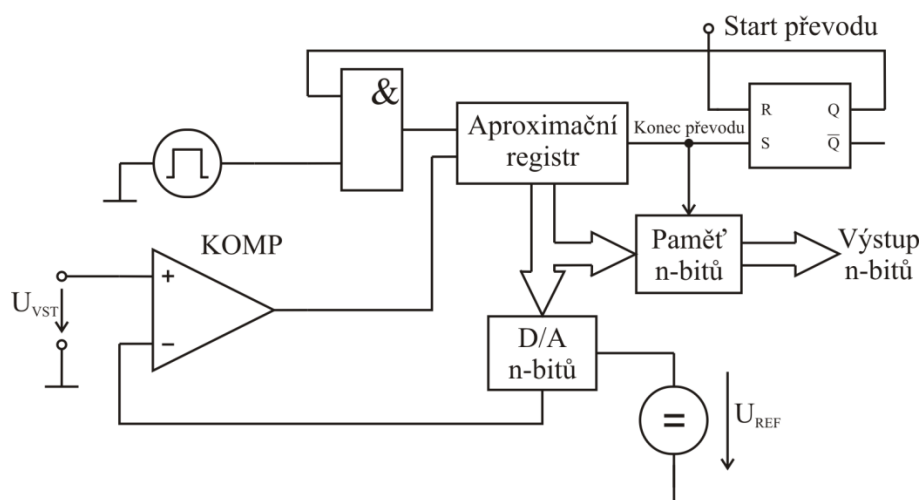
5.1.1 Vývojový diagram



Obr. 21 Vývojový diagram SAR ADC

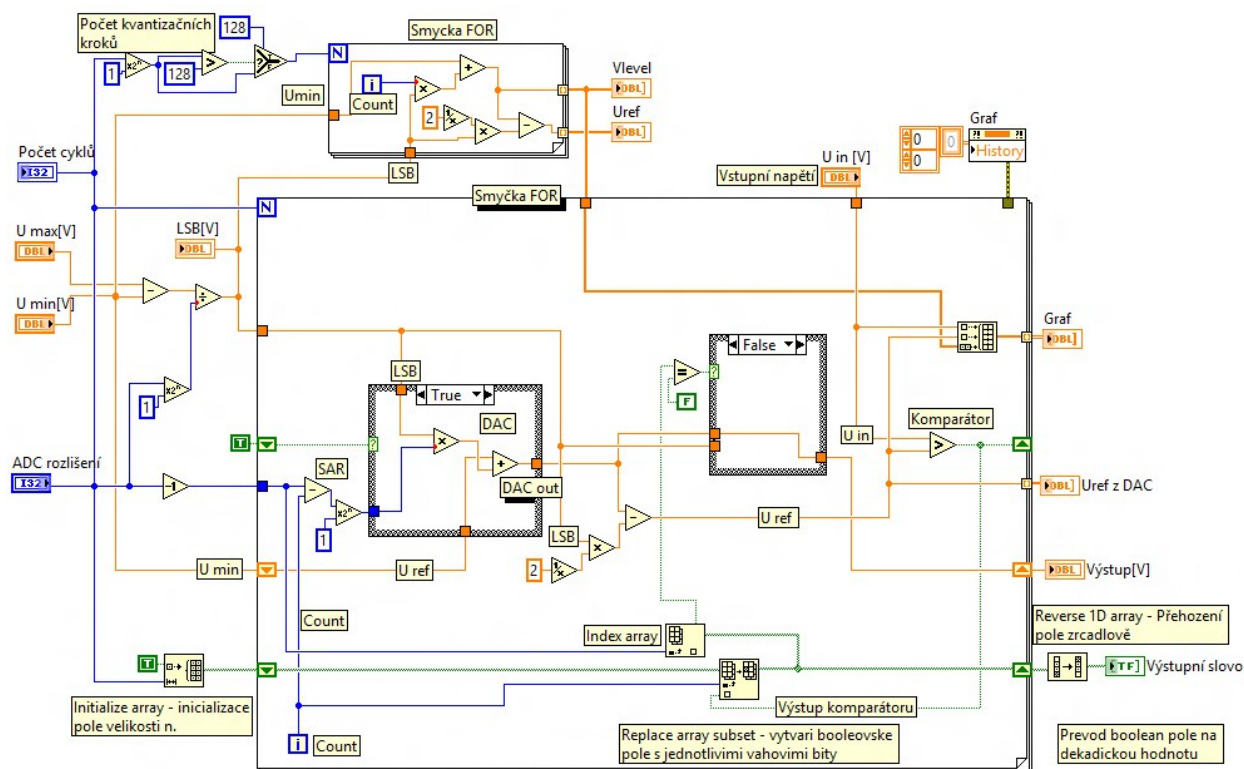
5.1.2 Implementace zdrojového kódu SAR ADC

Kompletní zdrojový kód převodníku je zobrazen na Obr. 23. Implementován je podle zapojení na Obr. 22.



Obr. 22 Zapojení SAR ADC [3]

Dal by se rozdělit na 3 základní bloky. Prvním z nich je cyklus, který počítá hodnoty V_{level} a referenční napětí U_{ref} . Ty nejsou pro funkčnost modelu nijak důležité - jsou tu jenom pro orientaci a pro znázornění do grafu. Druhý blok je realizace samotného A/D převodu, ve kterém se jednotlivé potřebné výstupní a referenční napětí dopočítávají. Posledním blokem je realizace paměti bitů. Vývojový diagram je zobrazen na Obr. 21.



Obr. 23 Kompletní zdrojový kód SAR ADC

(Tento kód je uveden v příloze ve složce SAR_ADC/sar_adc.vi. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011)

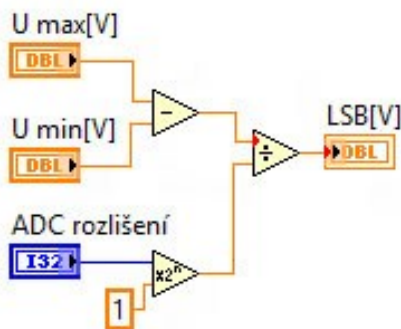
5.1.3 Výpočet bitu LSB

První důležitý parametr, který je potřeba ze zadaných vstupů získat je velikost nejmenšího váhového bitu LSB. Tato hodnota závisí na maximálním vstupním rozsahu daného převodníku a počtu kvantizačních stupňů.

$$\text{LSB} = \frac{U_{\max} - U_{\min}}{2^N}, \quad (5.1)$$

kde U_{\max} je hodnota maximálního vstupního rozsahu, U_{\min} představuje hodnotu minimálního vstupního rozsahu a N je nastavené bitové rozlišení převodníku.

Na Obr. 24 je kód realizující výpočet LSB.



Obr. 24 Výpočet LSB bitu

5.1.4 Výstupní hodnoty a referenční napětí

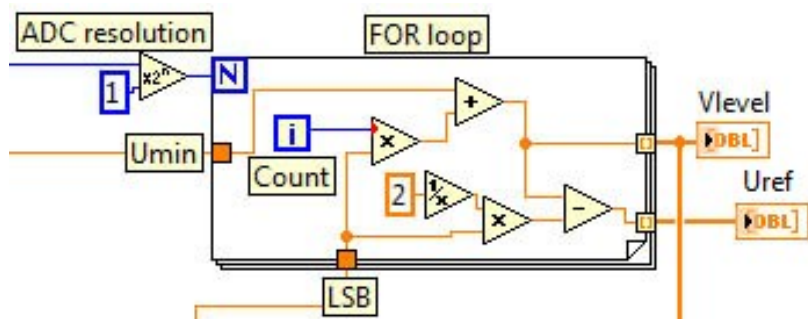
Pro výpočet jednotlivých výstupních hodnot V_{level} je použit vzorec

$$V_{\text{level}} = U_{\min} + (i \cdot \text{LSB}), \quad (5.2)$$

kde U_{\min} je hodnota minimálního vstupního napětí, i představuje pořadové číslo aktuálního V_{level} začínající od 0 a LSB je hodnota nejmenšího váhového bitu.

Implementace zdrojového kódu je na Obr. 25. Na vstup smyčky FOR je k terminálu N přiveden počet kvantizačních kroků a ten určuje, kolik bude mít cyklus FOR průběhů. Pro 5 bitů to bude $N = 32$

průběhů. Uvnitř smyčky se každým cyklem provede nejdříve výpočet $LSB \cdot i$, kde i začíná na 0 a v každém dalším cyklu se inkrementuje až do hodnoty $N-1$. Výsledný součin se poté přičítá k minimálnímu napětí U_{min} . Po výpočtu všech 32 hodnot se tyto zapíší do pole Vlevel a případně do grafu.



Obr. 25 Výpočty Vlevel

Referenční napětí jsou hodnoty U_{ref} , které mohou vystupovat z integrovaného D/A převodníku a následně jsou v komparátoru porovnávány se vstupním napětím U_{in} .

Tyto referenční napětí vycházejí z hodnot Vlevel tak, že se od každé odečte polovina velikosti LSB.

$$U_{ref} = Vlevel - \left(\frac{1}{2} \cdot LSB\right) \quad (5.3)$$

Kód pro výpočet těchto hodnot je stejný jako v předchozím případě Obr. 25, s tím rozdílem, že od každé hodnoty Vlevel se uvnitř cyklu odečítá zmíněná polovina LSB. Na konci cyklu jsou tyto hodnoty opět vypsány do pole Uref.

5.1.5 Postupný aproximační registr a D/A převodník

Realizace těchto bloků je v LabVIEW řešena poměrně jednoduchým způsobem. Výřez zdrojového kódu je na Obr. 26. Na vstup hlavní smyčky, která má přesně tolik průběhů, kolik rozlišovacích bitů pro daný převodník nastavíme je do *shift-registru* přivedena hodnota minimálního rozsahu U_{min} . K tomuto základnímu napětí se následně v prvním kroku přičítá polovina celkového rozsahu a tím dojde k nastavení prvního referenčního napětí pro komparátor. Tento výpočet by se dal popsat jako

$$U_{ref} = U_{min} \pm (SAR \cdot LSB) \quad (5.4)$$

$$SAR = 2^{ADC_{res}-1-i}, \quad (5.5)$$

kde ADC_{res} je nastavené rozlišení převodníku, U_{min} je aktuální hodnota referenčního napětí v shift registru, hodnota i odpovídá aktuálnímu průběhu hlavního cyklu FOR a LSB je velikost nejmenšího váhového bitu. Začíná se na nultém cyklu ($i = 0$) a v každém dalším se tento inkrementuje o jedničku. To zajistí, že v každém dalším průběhu bude přičítána nebo odečítána polovina velikosti předchozího intervalu protože podle vztahu (5.5):

$$2^{5-1-0} = 2^4 = 16 \Rightarrow SAR \Rightarrow 10000$$

$$2^{5-1-1} = 2^3 = 8 \Rightarrow SAR \Rightarrow 01000$$

$$2^{5-1-2} = 2^2 = 4 \Rightarrow SAR \Rightarrow 00100$$

$$2^{5-1-3} = 2^1 = 2 \Rightarrow SAR \Rightarrow 00010$$

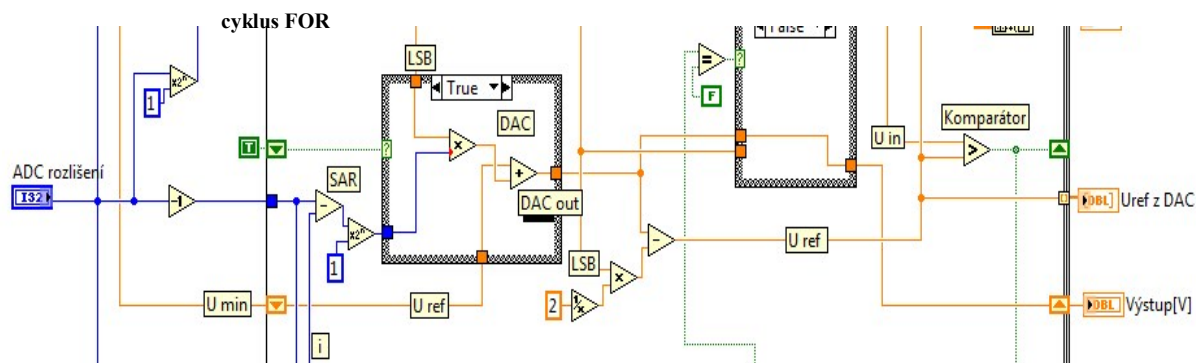
$$2^{5-1-4} = 2^0 = 1 \Rightarrow SAR \Rightarrow 00001$$

Obvod DAC (digitálně analogový převodník) má 2 stavy. První stav slouží pro přičítání poloviny intervalu (na začátku převodu nastaven jako defaultní) a druhý pro odečítání poloviny intervalu. Tyhle 2 stavy jsou v průběhu převodu přepínány v závislosti na výsledku porovnání komparátoru.

True → přičítá

False → odečítá

Po výpočtu se za obvodem DAC nachází aktuální hodnota V_{level} , od které se odečte polovina LSB a výsledkem je referenční napětí, které je v komparátoru porovnáváno s napětím na vstupu.



Obr. 26 Kód realizující DA převod s jednoduchým řídicím obvodem

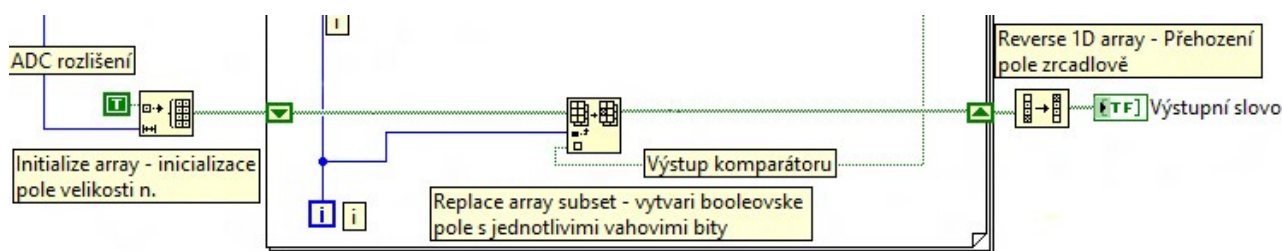
Postup funkce programu pro vstupní napětí 2V, rozlišení převodníku 5 bitů s rozsahem od -10V do +10V je v Tab. 4. $LSB = 0,625V$

Tab. 4 Postup převodu

Cyklus (i)	Shift registr	SAR	DAC(Vlevel)	U_{ref}	Komparátor	Out
0	-10	16	0	-0,3125	True	0
1	0	8	5	4,6875	False	5
2	5	4	2,5	2,1875	False	2,5
3	2,5	2	1,25	0,9375	True	1,25
4	1,25	1	1,875	1,5625	True	1,875

5.1.6 Realizace paměti bitového slova

Protože nejdůležitějším výstupem A/D převodníku je binární slovo, musí se tyto jednotlivé bity zaznamenat. Paměť bitů je v modelu tohoto převodníku realizována jako jednoduché jednorozměrné booleovské pole, do kterého se zapisují hodnoty z výstupu komparátoru Obr. 27. Na začátku převodu je inicializováno pole (Initialize array) na booleovské hodnoty a určení jeho velikosti přivedením hodnoty *ADC rozlišení*. V každém cyklu převodu je pomocí hodnoty *i* určeno pořadí jednotlivého váhového bitu a do pole *Replace array subset* se запиše výstup komparátoru. Protože na nultém indexu se nachází bit s nejvyšší vahou po skončení převodu je toto pole zrcadlově obráceno funkcí *Reverse 1D array* a následně je pole zobrazeno jako výstupní slovo.



Obr. 27 Realizace paměti bitů

5.2 Model integračního převodníku v NI LabVIEW

Grafický výstup tohoto převodníku je na Obr. 28. Vstupní nastavitelné hodnoty jsou:

- měřené napětí U_{in}
- velikost čítače
- maximální vstupní rozsah U_{max}
- minimální vstupní rozsah U_{min}

Přesnost převodu závisí na nastavené velikosti čítače. V případě jako na Obr. 28 je velikost čítače nastavena na 10 bitů. To znamená, že v prvním kroku je vstupní napětí integrováno v 2^{10} krocích. Jestliže bude vstupní napětí rovno 4,8 V, napětí na integrátoru na konci integrace musí být stejné tj., že

za 1024 kroků na něm bude napětí 4,8V rov. (5.6). Na Obr. 28 je tento proces zobrazen v prvním grafu červenou čarou.

$$U_{\text{int}} = \frac{U_{\text{in}}}{2^N}, \quad (5.6)$$

kde U_{in} odpovídá vstupnímu napětí a N je velikost čítače. V druhém kroku je integrováno napětí referenční, které je odvozeno z maximálního rozsahu a velikosti čítače (5.7) a má pro jakékoli vstupní napětí konstantní velikost. Ve vedlejším grafu je tento proces zobrazen modře.

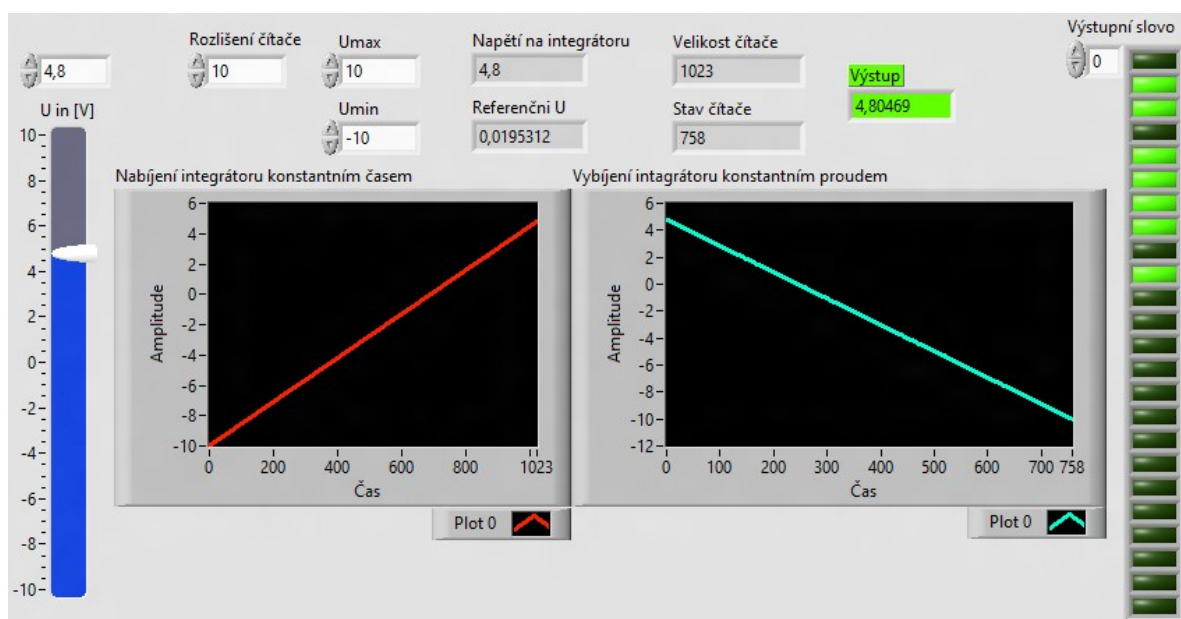
$$U_{\text{ref}} = \frac{U_{\text{FSR}}}{2^N}, \quad (5.7)$$

kde U_{FSR} je maximální vstupní rozsah a N je rozlišení čítače.

Výsledné výstupní číslo D je pak počítáno jako

$$D = U_{\text{min}} + \left(U_{\text{FSR}} \cdot \frac{M}{N} \right), \quad (5.8)$$

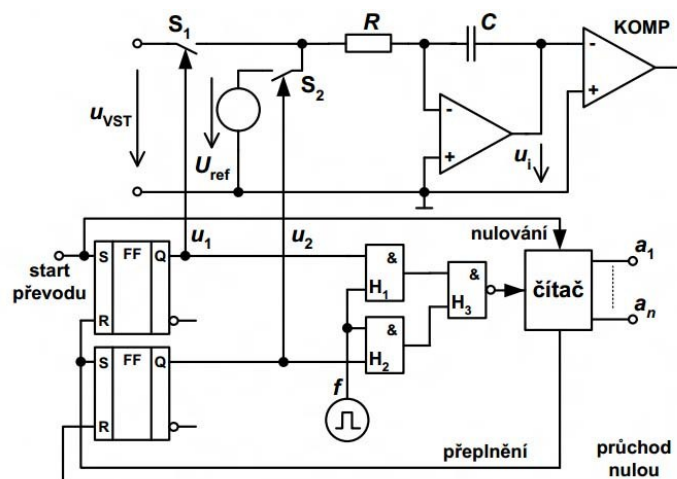
kde U_{min} je minimální vstupní rozsah, U_{FSR} je maximální vstupní rozsah, M je počet načítaných impulsů při vybíjení referenčním napětím a N je maximální velikost čítače.



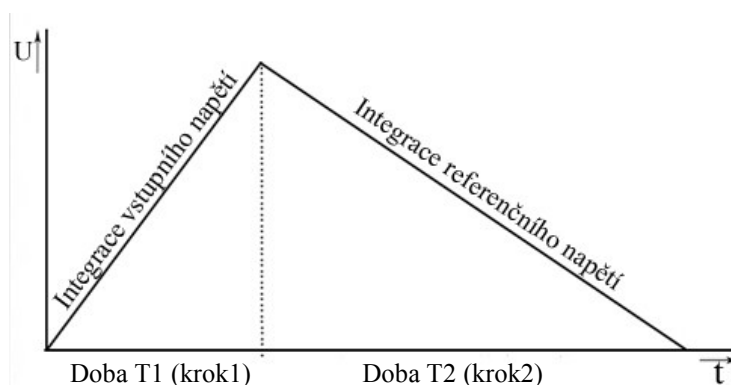
Obr. 28 Model integračního převodníku

5.2.1 Implementace zdrojového kódu integračního A/D převodníku

Zdrojový kód modelu integračního převodníku je na Obr. 31. Implementován je podle blokového zapojení na Obr. 29 a podle grafu na Obr. 30.

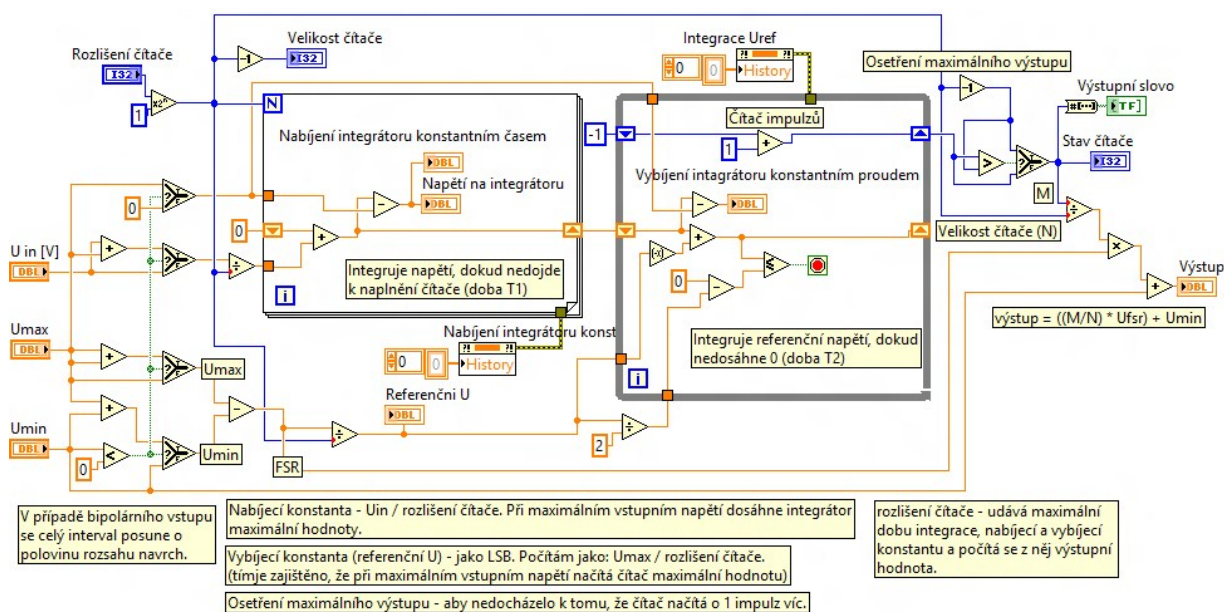


Obr. 29 Zapojení integračního ADC [4]



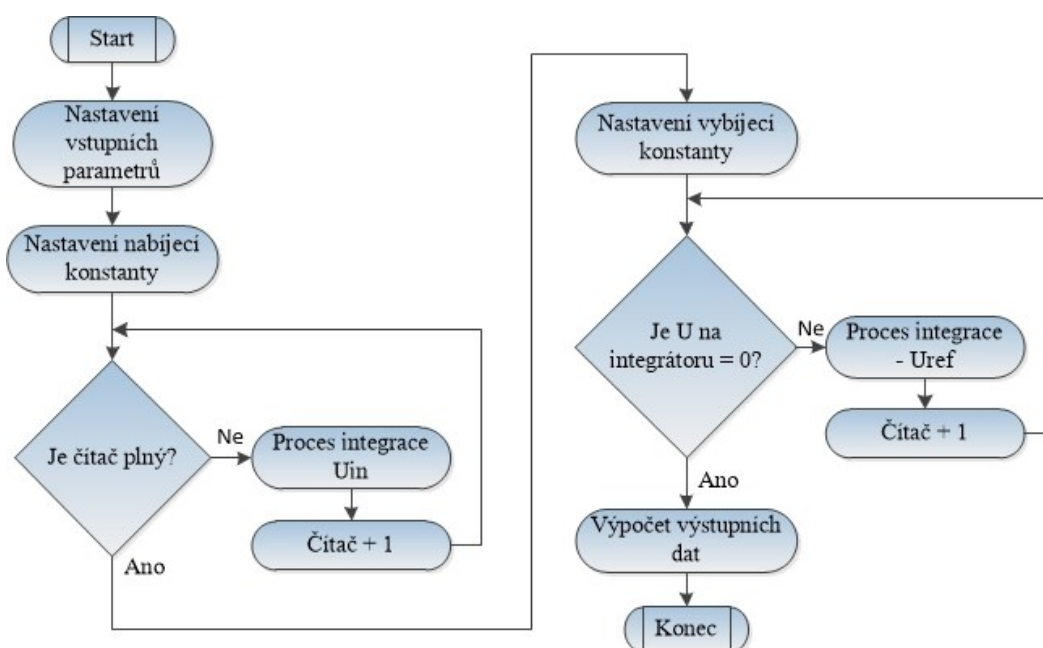
Obr. 30 Proces integrace U_{in} a U_{ref}

Proces integrace (krok 1) vstupního napětí je řešen cyklem FOR, který má přesně 2^N průběhů určených velikostí čítače. Integrace začíná vždy od 0 a v každém cyklu je přičítána nabíjecí konstanta podle rov. (5.6), která je pro každé U_{in} různá. Po skončení integrace nastává krok 2, což je integrace referenčního napětí, které má opačnou polaritu jako napětí na vstupu. Tento krok je řešen cyklem While, do kterého je přivedena velikost naintegrovaného napětí a od ní se pak v každém cyklu přičítá záporná vybíjecí konstanta, která je pro jakékoli vstupní napětí konstantní rov. (5.7) V každém vybíjecím cyklu je velikost čítače zvětšována o 1 tak dlouho, dokud napětí na integrátoru nebude 0 voltů, kdy se cyklus while zastaví. Z maximální velikosti čítače, počtu načítaných impulsů a maximálního vstupního napětí je pak dle rovnice (5.8) spočítáno výstupní napětí a binární slovo. Vývojový diagram je uveden na Obr. 32.



Obr. 31 Zdrojový kód modelu integračního převodníku

(Tento kód je uveden v příloze Integracni_ADC/integration_bipolar.vi nebo pro unipolární vstup integration_unipolar.vi. Pro spuštění je potřeba mít nainstalováno LabVIEW 2011)



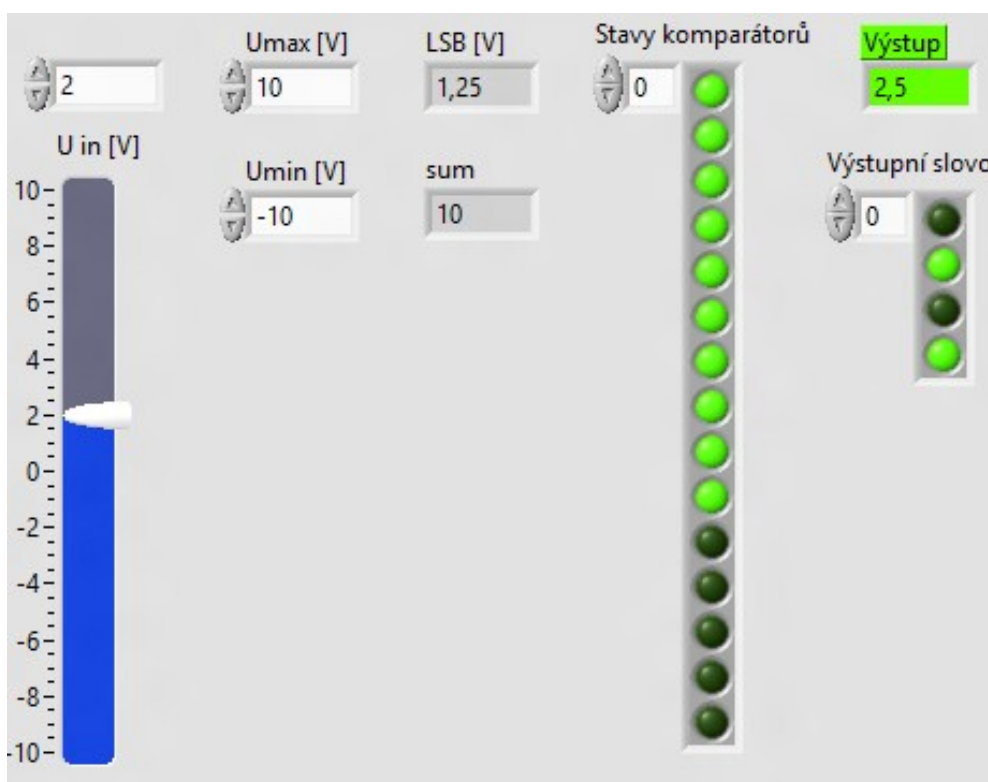
Obr. 32 Vývojový diagram integračního ADC

5.3 Model komparačního A/D převodníku v NI LabVIEW

Grafický výstup tohoto modelu je na Obr. 33. Z důvodu velkého počtu porovnávacích prvků u těchto převodníků byl tento model realizován pouze s pevně daným rozlišením 4 bity, který obsahuje 15 komparátorů. S každým dalším bitem navíc by se jejich počet zdvojnásoboval tak, jak je to popsáno v kapitole 3.3. Mezi hodnoty, které se musí nastavit patří

- Vstupní napětí U_{in}
- Maximální vstupní rozsah U_{max}
- Minimální vstupní rozsah U_{min}

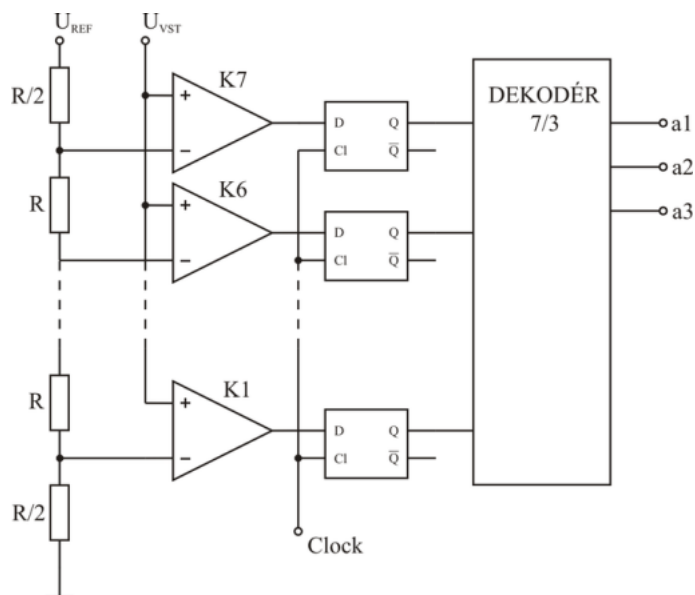
Tento typ převodníku je složen z odporového děliče, pole komparátorů a BCD dekodéru. Odporový dělič slouží k nastavení jednotlivých referenčních napětí pro každý z porovnávacích prvků. BCD dekodér 15/4 slouží pro převod stavů komparátorů na výstupní slovo.



Obr. 33 Grafický výstup modelu paralelního převodníku

5.3.1 Implementace zdrojového kódu paralelního ADC

Na Obr. 35 je uveden zdrojový kód tohoto 4 - bitového paralelního ADC implementovaného podle blokového schématu na Obr. 34.

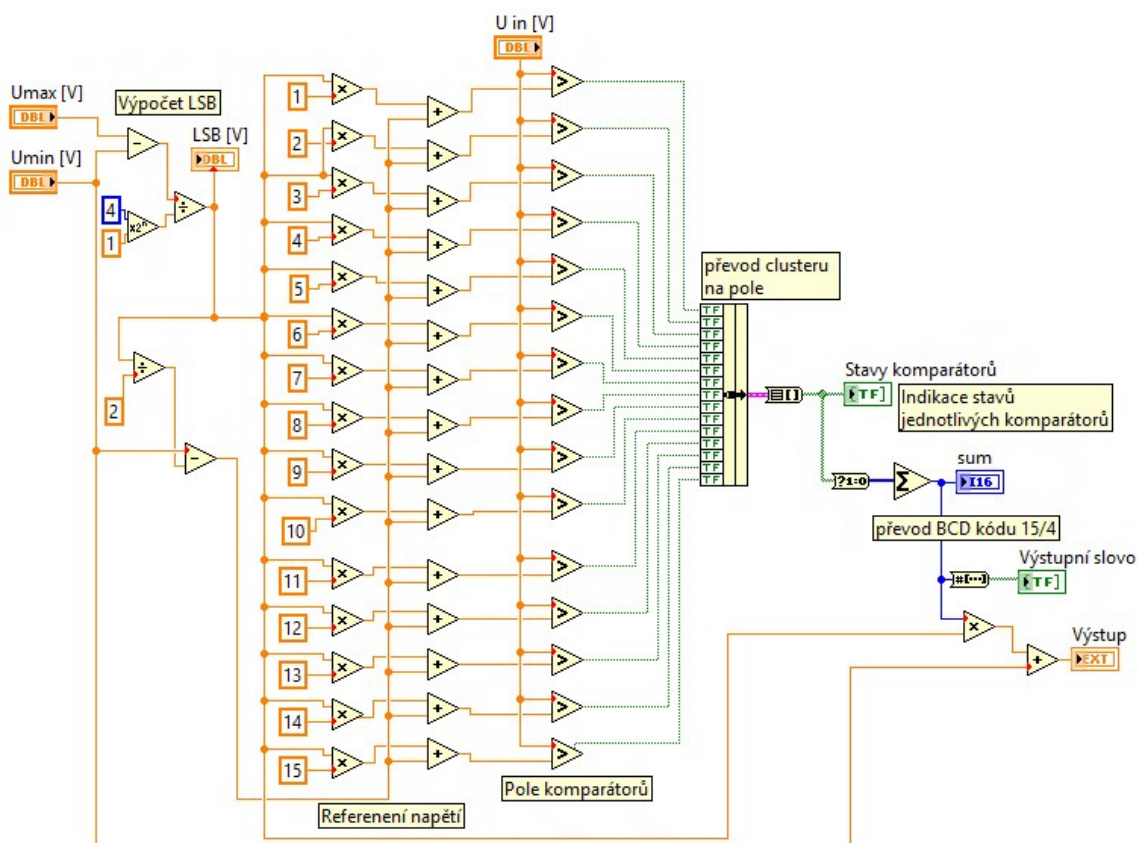


Obr. 34 Blokové schéma paralelního ADC [3]

Nejdříve se provede výpočet bitu LSB a hned za ním následují výpočty jednotlivých referenčních napětí podle vztahu

$$U_{\text{ref}} = U_{\text{min}} + (i \cdot \text{LSB}), \quad (5.9)$$

kde U_{min} je minimální vstupní rozsah, i je pořadí a LSB je velikost nejnižšího bitu. Všechny tyto referenční napětí jsou v porovnávacích prvcích (komparátorech) jednorázově porovnávány se vstupním napětím a výsledky porovnání se zapisují do clusteru, který se převede na pole typu boolean. Výsledné výstupní 4 - bitové slovo je pak určeno převodem na BCD kód tak, že se pole z clusteru převede na číselné hodnoty 1,0 a ty se dohromady sečtou. Výsledek součtu je pak znovu převeden na pole typu boolean a zobrazen jako výstupní slovo. Vývojový diagram je uveden na Obr. 37. Dekódovací tabulka BCD kódu je na Obr. 36. Hodnoty K1-K15 představují stavy jednotlivých komparátorů, A1-A4 jsou pak výstupy z BCD dekodéru.

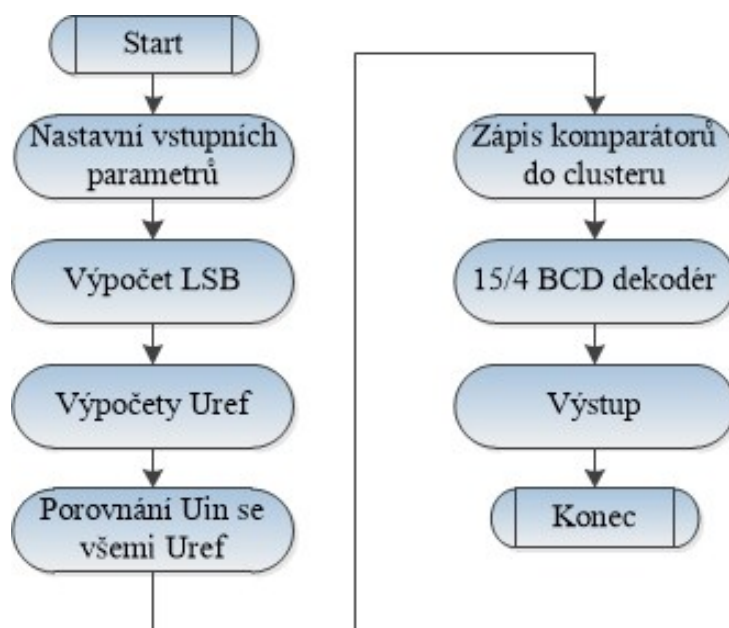


Obr. 35 Zdrojový kód modelu paralelního převodníku

(Tento kód je uveden v příloze ve složce Paralelni_ADC/flash.vi. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011)

UVST/UREF	K1	K2	K3	K4	K5	K6	K7	K8	K9	K10	K11	K12	K13	K14	K15	A1	A2	A3	A4
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1/16	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
2/16	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	1	0
3/16	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	1
4/16	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
5/16	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	1	0	1
6/16	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0	1	1	0
7/16	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1
8/16	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0	0	0
9/16	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	0	0	1
10/16	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	0
11/16	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
12/16	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0
13/16	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
14/16	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
15/16	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Obr. 36 Převodní tabulka 4 - bitového paralelního ADC



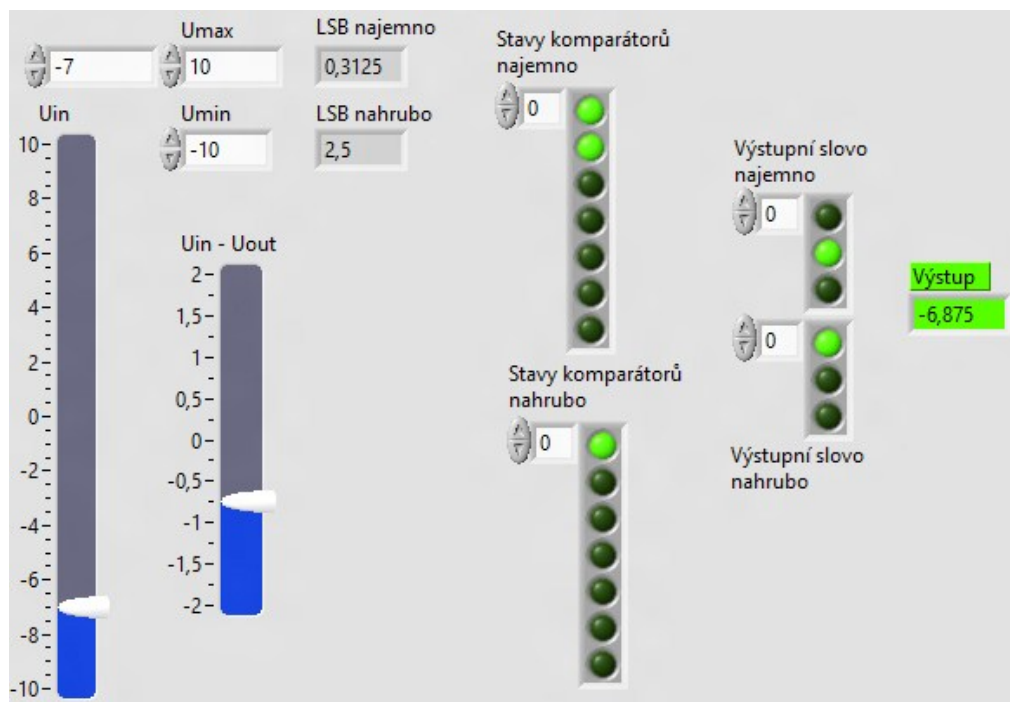
Obr. 37 Vývojový diagram paralelního ADC

5.4 Model řetězového A/D převodníku v NI LabVIEW

Tento typ A/D převodníku je složen ze dvou paralelních převodníků, které jsou zapojeny tak, že výstupní slova obou těchto převodníků dávají dohromady celkové výstupní slovo. Grafický výstup modelu je uveden na Obr. 38. Vstupní parametry, které se zde zadávají, jsou stejné jako případě paralelního ADC tedy:

- velikost měřeného napětí U_{in}
- maximální vstupní rozsah U_{max}
- minimální vstupní rozsah U_{min}

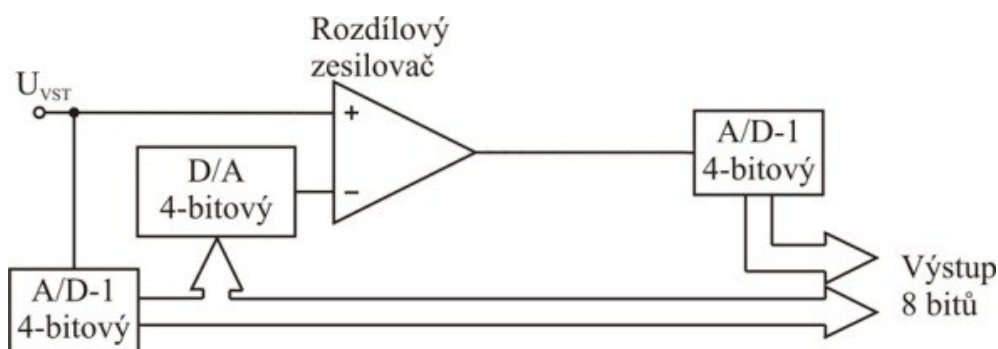
Z důvodu opět trochu většího počtu porovnávacích prvků je tento ADC realizovaný pro pevně dané rozlišení 4bity a 6 bitů. Je složen ze dvou 2 - bitových nebo 3 - bitových paralelních převodníků, které jsou zapojeny tak, aby celkové rozlišení dávalo dohromady 4, nebo 6 bitů. Indikátor $U_{in} - U_{out}$ ukazuje aktuální rozdíl mezi vstupním napětím a napětím z prvního A/D převodu. Boolean pole *stavy komparátorů* zobrazují, které z komparátorů jednotlivých převodníků jsou pro aktuální vstupní napětí ve stavu high (log. 1). Výstupní slovo je pak složeno ze slova „*najemno*“, což jsou nižší bity a ze slova „*nahrubo*“, což je vyšší polovina celého výstupního slova.



Obr. 38 Grafický výstup modelu převodníku postupné komparace

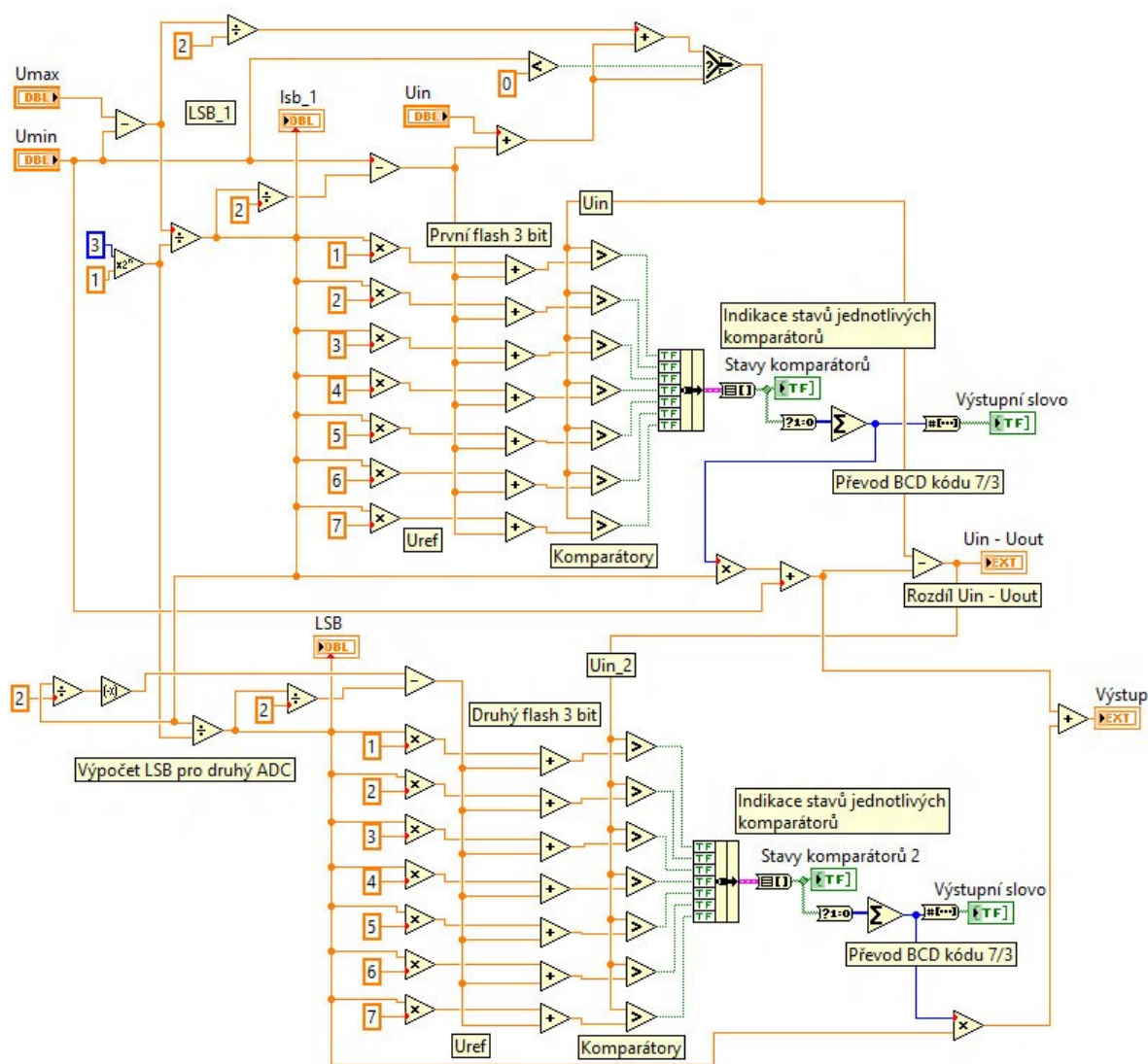
5.4.1 Implementace zdrojového kódu řetězového A/D převodníku

Zdrojový kód tohoto modelu je vyobrazen na následujícím Obr. 40. Implementován je podle blokového zapojení na Obr. 39.



Obr. 39 Zapojení řetězového ADC [3]

Princip funkce paralelního A/D převodníku je popsán v kapitole 3.4. Tento kód je rozšířen pouze o druhý paralelní A/D, na jehož vstup je přiveden rozdíl napětí ze vstupu a napětí $U_{in} - U_{out}$ vycházející z D/A převodníku za prvním paralelním převodníkem.



Obr. 40 Zdrojový kód modelu postupné komparace v LabVIEW

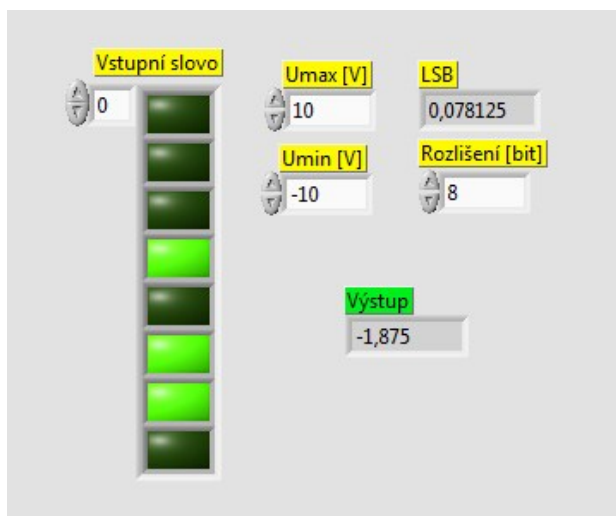
(Tento kód je uveden v příloze ve složce Retezovy_ADC/subrang_adc_6bit.vi. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011)

5.5 Model D/A převodníku s váhovou strukturou v NI LabVIEW

Tého typ D/A převodníku je složen pouze z pole rezistorů a operačního zesilovače. Jeho grafický výstup je uveden na Obr. 41. Vstupní parametry, které se zde zadávají, jsou:

- Vstupní binární slovo
- Rozlišení převodníku
- Maximální vstupní napětí U_{\max}
- Minimální vstupní napětí U_{\min}

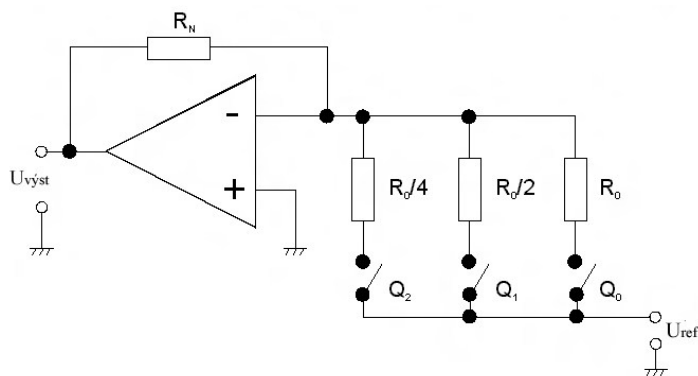
Výstupem tohoto převodníku je analogové napětí, odpovídající vstupnímu binárnímu slovu. Implementován byl pro maximální rozlišení 8 bitů.



Obr. 41 D/A převodník s váhovou strukturou

5.5.1 Implementace zdrojového kódu D/A převodníku s váhovou strukturou

Zdrojový kód tohoto modelu je vyobrazen na Obr. 43. Implementován je podle schematického zapojení na Obr. 42.

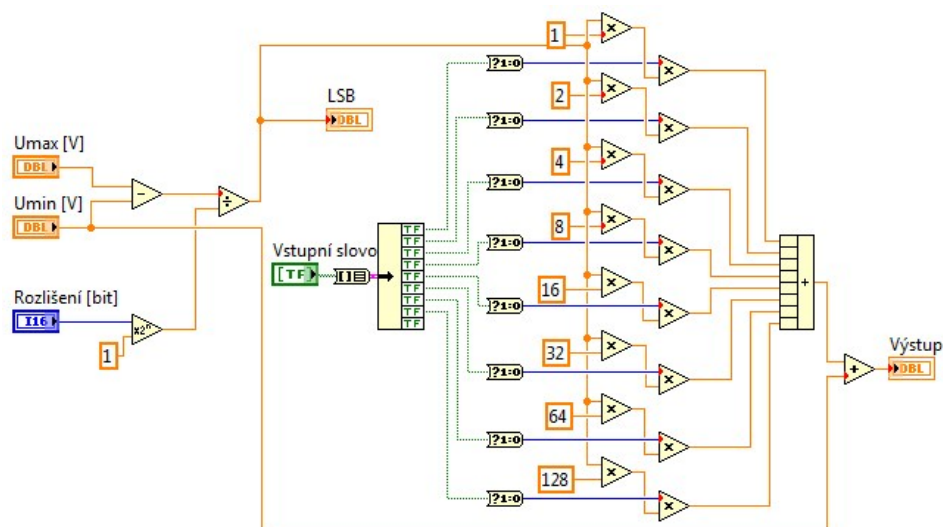


Obr. 42 Zapojení převodníku s váhovou strukturou [5]

Na začátku převodu je pole typu boolean, do kterého se запиše vstupní binární slovo. Toto je potom převedeno na cluster a ihned potom na číselné hodnoty 1 nebo 0. V síti je každý jednotlivý bit vynásoben konstantou, která představuje referenční napětí a je počítána podle vztahu

$$U_{\text{ref}} = (\text{LSB} \cdot i) \cdot X_i, \quad (5.10)$$

kde LSB je váha nejmenšího bitu, i je konstanta pro jednotlivé U_{ref} a X_i je hodnota jednotlivých vstupních bitů. Výstupem je součet všech referenčních napětí, jejichž bit je roven jedna.



Obr. 43 Implementace D/A převodníku s váhovou strukturou

(Tento kód je uveden v příloze ve složce Vahovy_DAC/dac.vi. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011).

6 Ověření základních statických a dynamických parametrů převodníků

6.1 Statické a dynamické parametry převodníků

Analogově-digitální převodníky se vyznačují určitými statickými a dynamickými parametry.

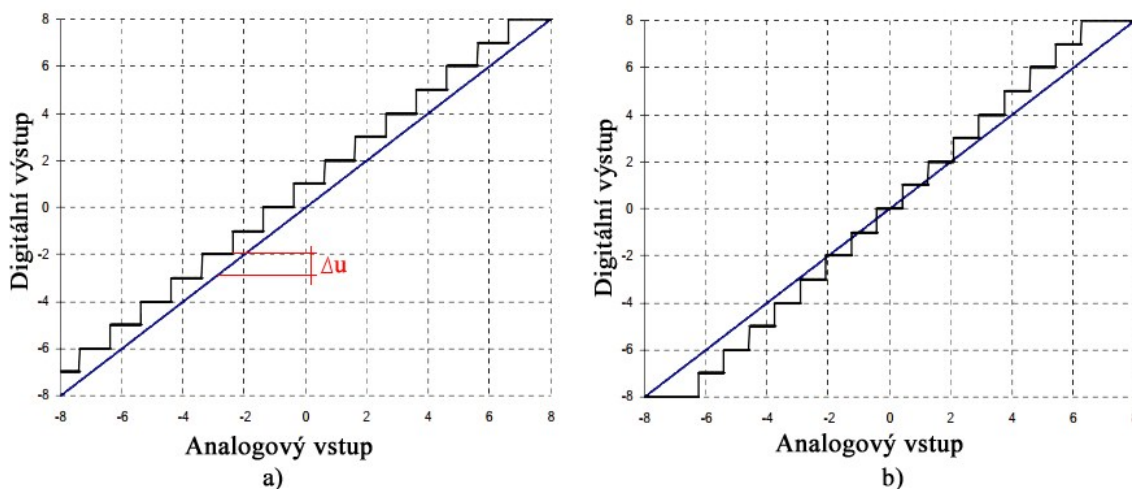
Statické parametry se určují z převodní charakteristiky. Mezi tyto základní parametry patří rozsah převodníku, integrální INL a diferenciální DNL nelinearita, rozlišení (resolution), přesnost (accuracy), různé chyby jako je chyba zesílení, chyba monotónnosti nebo chyba nastavení nuly (offset error).

Zatím co dynamické parametry jsou vyhodnocovány z frekvenčních spekter převodníků. Mezi tyto parametry řadíme například maximální dynamický rozsah DR (dynamic range), odstup signálu od šumu SNR (signal to noise ratio), efektivní počet bitů ENOB (effective number of bits), harmonické zkreslení THD (total harmonic distortion), dynamický rozsah bez parazitních složek SFDR (spurious free dynamic range), šum – efektivní, vrcholový (rms, peak) a další.

6.2 Ověření statických parametrů

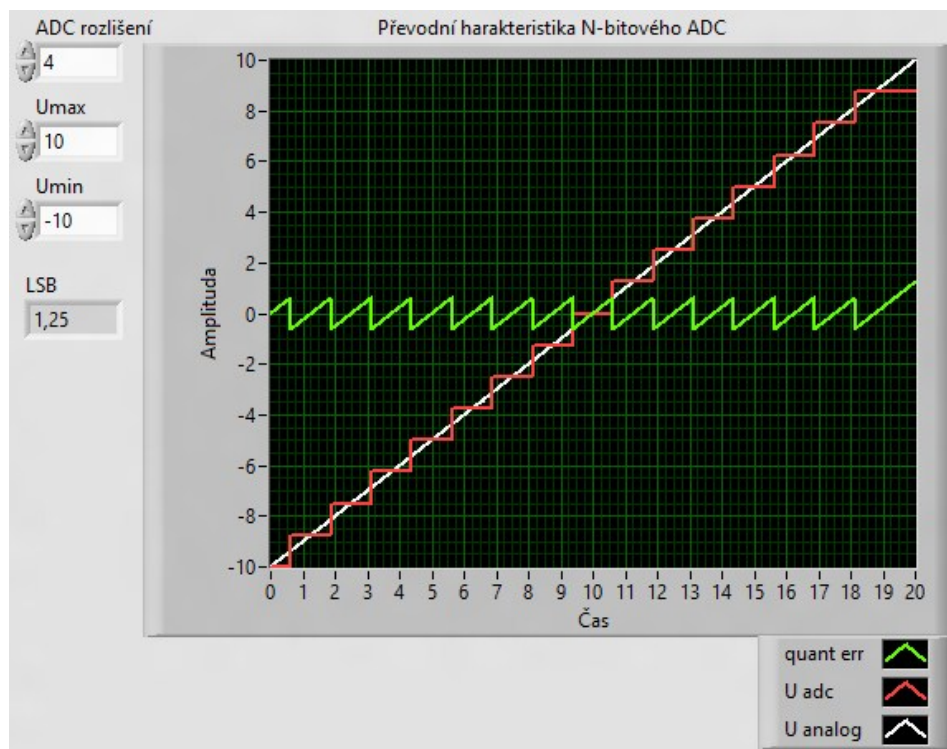
6.2.1 Chyby převodní charakteristiky

Rozlišují se 2 hlavní chyby převodní charakteristiky. První z nich je chyba nastavení nuly (offset error). Tato chyba způsobuje posun celkové charakteristiky o Δu Obr. 44 a) a je definována jako aditivní. Udává se buďto ve voltech V nebo v LSB. Obvykle tuto chybu způsobuje napěťová nesymetrie použitých OZ. Tuto chybu lze v obvodech doladit nastavovacím prvkem. Druhou chybu představuje chyba zisku (gain) Obr. 44 b). Ta je způsobena vychýlením reálné převodní charakteristiky o jistý úhel. Absolutní hodnota této chyby roste lineárně se vstupním napětím převodníku a maxima dosahuje na konci napěťového rozsahu. Tuto chybu ve většině případů způsobuje nepřesnost váhových rezistorů, nebo nepřesnost zdroje napětí či proudu. Lze ji taky doladit nastavovacím prvkem.



Obr. 44 a) Chyba nuly Δu , b) Chyba zisku [9]

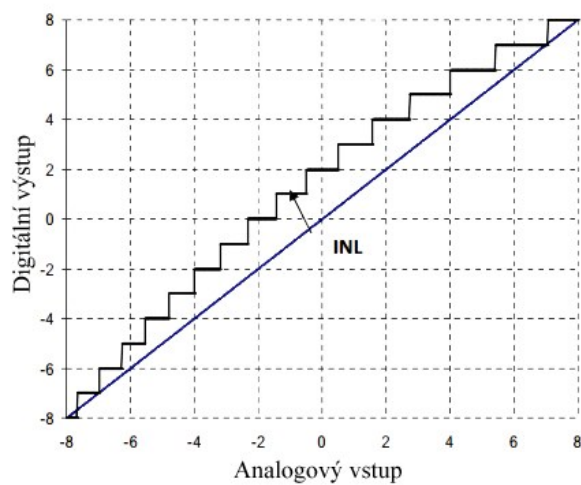
Všechny modely A/D převodníků vykazují ideální převodní charakteristiku tak, jak je ukázáno na Obr. 45. To proto, že tyto modely pracují jako ideální a nejsou nijak ovlivňovány například teplotní závislostí nebo nelinearitou součástek jako u reálných obvodů. Kvantovací chyba pro tuto ideální převodní charakteristiku má ideálně charakteristický pilový průběh. Při reálných obvodech by bylo dosažení takových parametrů jenom těžko realizovatelné.



Obr. 45 Převodní charakteristika modelů

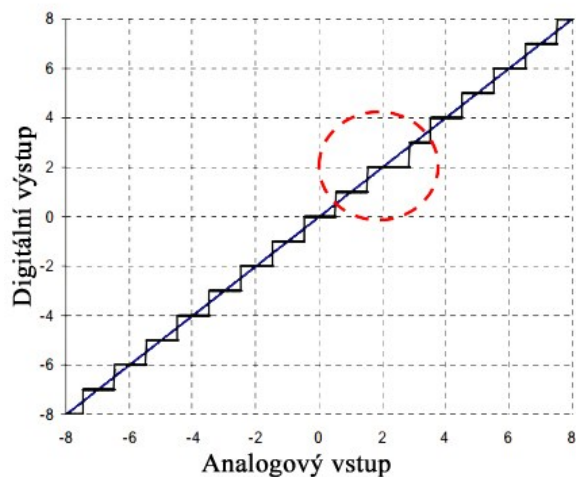
6.2.2 Integrovní a diferenciální nelinearita

Integrovní nelinearita (INL) vzniká vychýlením středů kvantovacích úrovní mimo ideální přímku a ta skutečná je pak tvarově deformována jak je vidět na Obr. 46. Tato chyba se nedá nijak zredukovat ani zmírnit její účinky kalibrací.



Obr. 46 Chyba INL [9]

Diferenciální nelinearita (DNL) vyjadřuje rozdílnou šířku kvantovacích úrovní, která by v ideálním případě měla být pro každou úroveň stejná. Ve skutečnosti je však tato šířka jednotlivých kvantovacích stupňů rozdílná Obr. 47.



Obr. 47 Chyba DNL [9]

Žádný s modelů opět ani jednu z těchto chyb nevykazuje podle grafu na Obr. 45 z důvodu, že fungují jako ideální.

6.3 Ověření dynamických parametrů

6.3.1 Maximální dynamický rozsah

Maximální dynamický rozsah DR (Dynamic Range) je definován jako poměr maximálního vstupního rozsahu FSR (Full Scale Range) a nejmenší měřitelnou změnou napětí LSB. Definován je jako

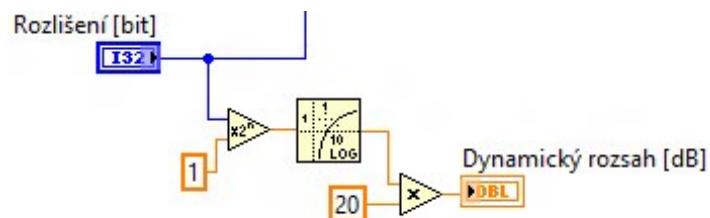
$$DR = \frac{FSR}{LSB} = \frac{FSR}{\frac{FSR}{2^N}} = 2^N, \quad (6.1)$$

kde FSR je maximální vstupní rozsah a N je počet bitů převodníku. Pro vyjádření této hodnoty v decibelech je pak použit vzorec

$$DR = 20 \cdot \log 2^N \text{ [dB]}. \quad (6.2)$$

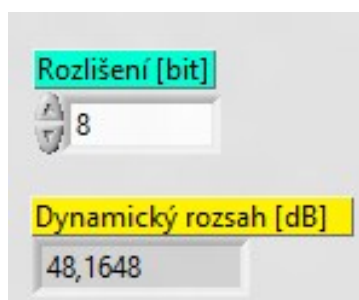
DR určuje ideální, případně efektivní rozlišitelnost převodníku. Ideální převodník s rozlišením 8 bitů by měl mít tento maximální dynamický rozsah 48,2 dB. Výše zmíněný vztah se dá jednoduše ověřit

pro model převodníku. Na Obr. 48 je kód realizující tento výpočet. Jako rozlišení převodníku je zvoleno 8 bitů.



Obr. 48 Výpočet dynamického rozsahu

Výsledek tohoto výpočtu je uveden na Obr. 49. Je patrné, že dynamický rozsah 8 bitového převodníku je podle výpočtu 48,1648 dB a souhlasí s výše zmíněnými 48,2 dB.



Obr. 49 Výsledek dynamického rozsahu

6.3.2 Odstup signálu od kvantizačního šumu

Odstup signálu od šumu SNR (signal to noise ratio) je parametr, který porovnává úroveň užitečného signálu k úrovni šumu. Při poměru vyšším, než 1:1 to znamená, že užitečného signálu je víc než nežádoucího šumu.

$$SNR = \frac{P_{\text{signal}}}{P_{\text{noise}}} = 6,02 \cdot N + 1,76 \text{ [dB]} \quad (6.3)$$

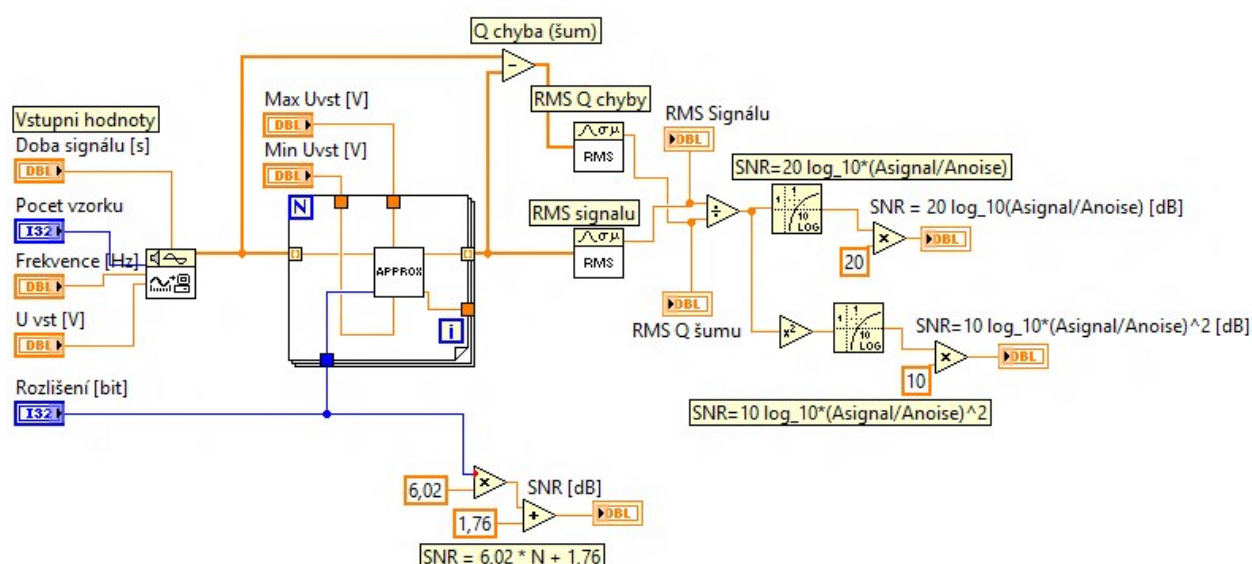
kde P_{signal} je průměrný výkon signálu a P_{noise} je průměrný výkon šumu. Oba tyto signály musí být měřeny na stejných nebo rovnocenných místech a musí mít stejnou šířku pásma. Předchozí vzorec pro výpočet SNR se dá jednoduše převést na efektivní hodnoty signálu a šumu

$$\text{SNR} = \frac{P_{\text{signal}}}{P_{\text{noise}}} = \left(\frac{A_{\text{signal}}}{A_{\text{noise}}} \right)^2, \quad (6.4)$$

kde A je efektivní hodnota RMS (Root Mean Square) signálu a šumu. Protože většina signálů má velmi široký dynamický rozsah, bývá SNR vyjádřeno pomocí logaritmu v jednotkách dB

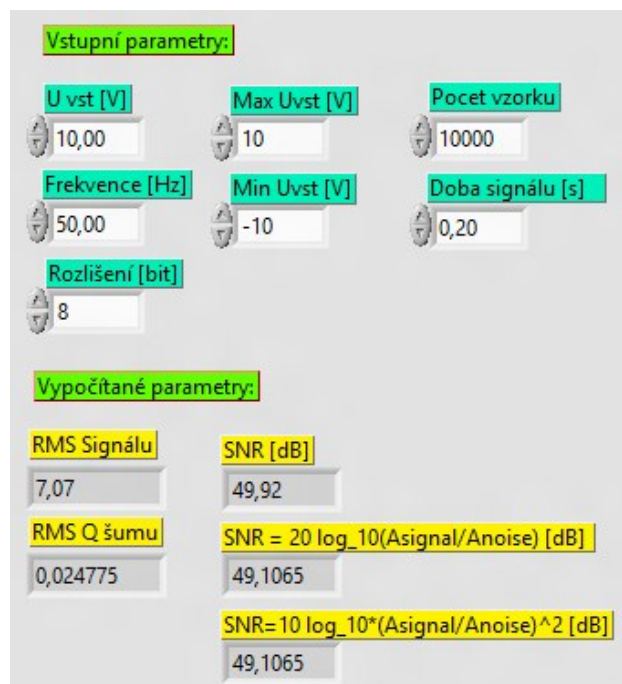
$$\text{SNR}_{\text{dB}} = 10 \cdot \log_{10} \left(\frac{A_{\text{signal}}}{A_{\text{noise}}} \right)^2 = 20 \cdot \log_{10} \left(\frac{A_{\text{signal}}}{A_{\text{noise}}} \right). \quad (6.5)$$

Implementace zdrojového kódu pro výpočet těchto vzorců je uvedena na Obr. 50. Frekvence vstupního užitečného signálu je 50Hz a amplituda vstupního signálu je nastavena na 10V s maximálním vstupním rozsahem převodníku $\pm 10\text{V}$. Výsledky pro převodník s rozlišením 8 bitů jsou na Obr. 51. Z něj je jasné vidět, že použitím kteréhokoli vztahu je výsledek SNR stejný.



Obr. 50 Implementace kódu pro výpočet SNR ze vztahů

(Tento kód je uveden v příloze ve všech složkách s pod názvem vypocet_SNR.vi. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011)



Obr. 51 Vypočtené hodnoty SNR

Jestliže přidáme převodníku 1 bit, jeho odstup signál – šum se zlepší o 6,02dB. Jednotlivé poměry pro převodníky s různým počtem bitů jsou uvedeny v následující Tab. 5.

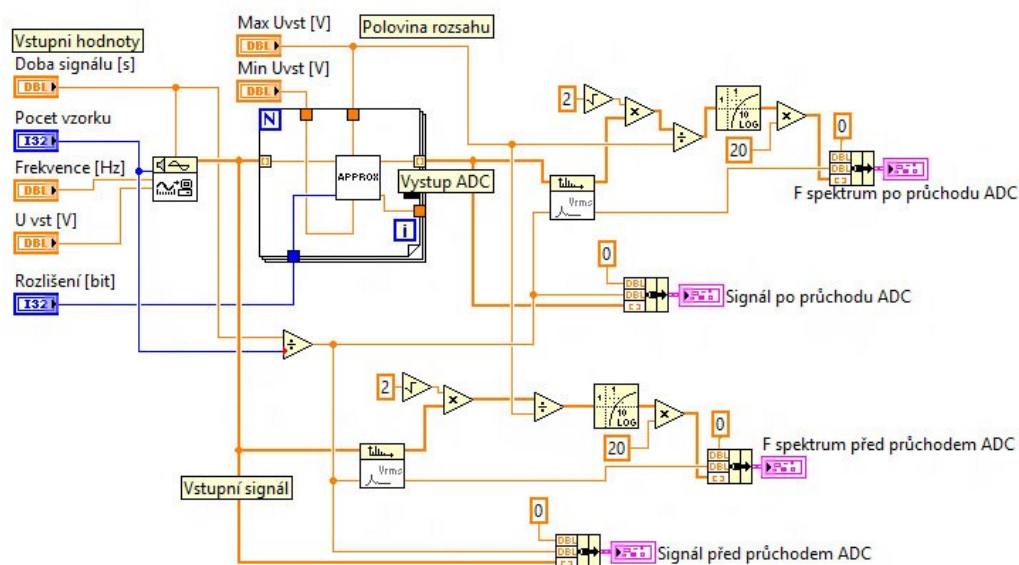
Tab. 5 Závislost decibelů na počtu bitů

Počet bitů	Počet úrovní	Poměr signál - šum
1	2	7,78dB
2	4	13,8dB
4	16	25,8dB
8	256	50dB
10	1 024	62dB
12	4 096	74dB
16	65 536	98dB
24	16 777 216	146dB

SNR patří mezi dynamické parametry a ty jsou odvozovány z frekvenčních spekter. Výstup z převodníku musí být nejdříve z časového spektra převeden na spektrum frekvenční pomocí rychlé Fourierovy transformace FFT (Fast Fourier Transform) [7]. Pro tento převod je použita funkce *Amplitude and Phase Spectrum* a to je následně přepočítáno na logaritmické hodnoty

$$U_{dB} = 20 \log \frac{\sqrt{2} \cdot U_{rms}}{\frac{U_{FSR}}{2}}, \quad (6.6)$$

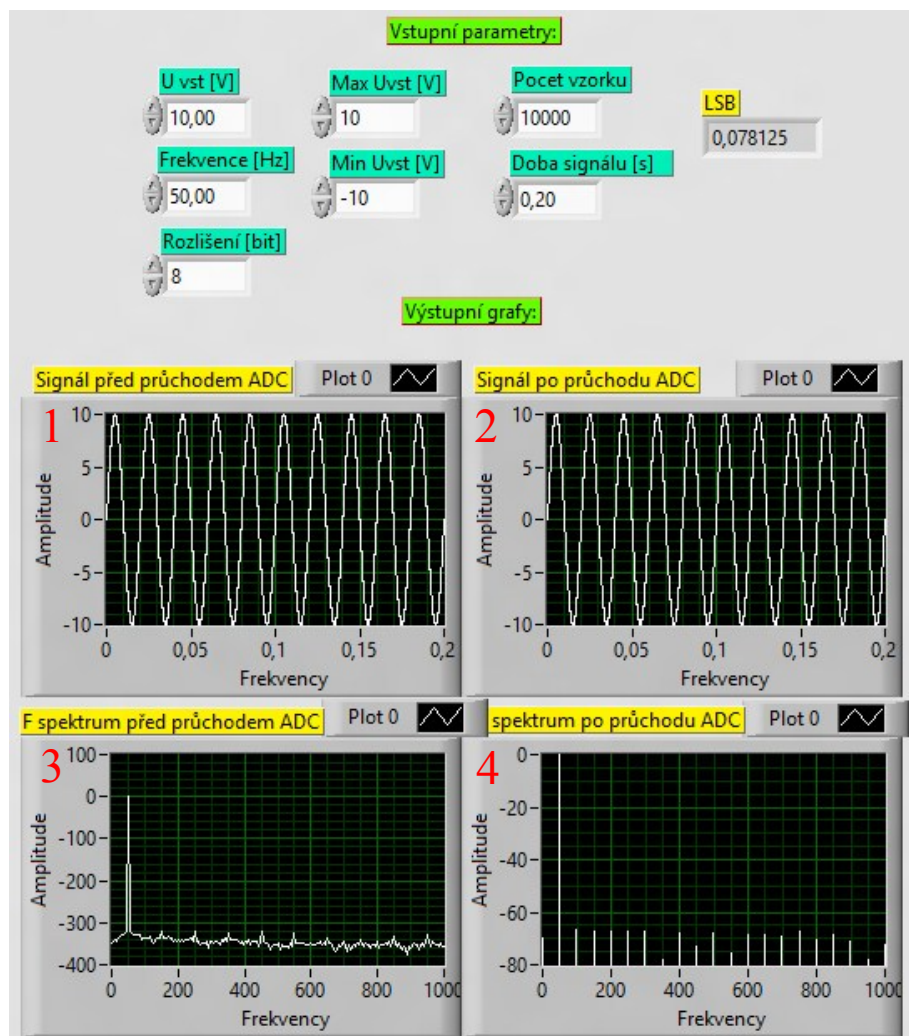
kde U_{rms} je efektivní hodnota vstupního signálu a U_{FSR} je maximální vstupní rozsah. Implementace kódu je na Obr. 52.



Obr. 52 Výpočty frekvenčních spekter

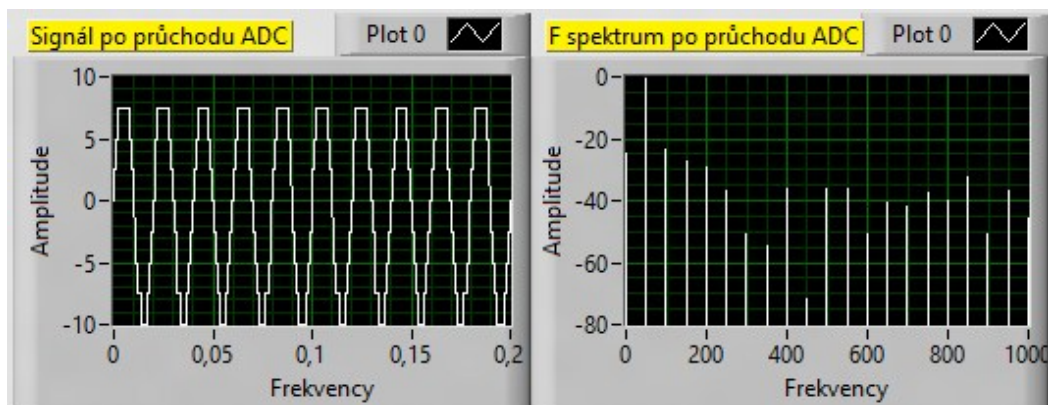
(Tento kód je uveden v příloze ve všech složkách pod názvem „vypocet_FFT_transformace.vi“. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011)

Výstupní grafy jsou uvedeny na Obr. 53. V horní části jsou nastavené vstupní parametry, jako je amplituda vstupního signálu U_{vst} , jeho frekvence, maximální a minimální vstupní rozsah, rozlišení převodníku a další. Spodní část obsahuje 4 grafy. V grafu č. 1 je zobrazen vstupní generovaný signál s délkou trvání 0,2 s a amplitudou 10 V. V grafu č. 2 je stejný signál po průchodu AD převodníkem. Je patrné, že pro 8 bitový převodník je výstupní signál téměř identický se signálem na jeho vstupu. V grafu č. 3 je frekvenční spektrum vstupního signálu před průchodem A/D převodníkem a v posledním grafu č. 4 je vyobrazeno frekvenční spektrum po průchodu 8 - bitovým A/D převodníkem. Tento graf je nejdůležitější pro určení hodnoty SNR. Je v něm vidět velká svislá čára, která představuje užitečný vstupní signál s kmitočtem 50Hz a amplitudou 10V a kolem něho několik dalších menších spektrálních čar, které představují kvantizační šum a ostatní vyšší harmonické signály.



Obr. 53 Ověření SNR pomocí frekvenčního spektra

Na Obr. 54 je pro porovnání zobrazeno toto spektrum se stejným vstupním nastavením, ale nastavené rozlišení převodníku je pouze 3 bity. Všimnout si můžeme faktu, že pro takto malé rozlišení je odstup signálu od šumu nízký (pro 3 bitový ADC se pohybuje kolem 18 dB) a i výsledný sinusový signál je značně zkreslený. Kdyby se rozlišení převodníku zvýšilo až na 16 bitů a více, odstup signálu od šumu by se samozřejmě zvětšil na hodnotu kolem 96dB a víc jak je to popsáno v předchozí Tab. 5.



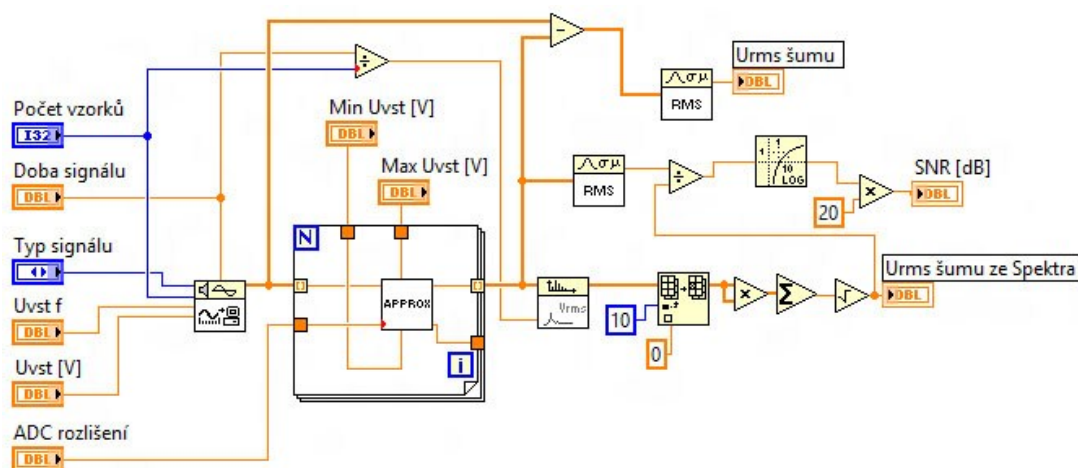
Obr. 54 Spektrum a tvar signálu pro 3 bitový převodník

Na Obr. 53 je odstup signálu od šumu ve spektru na první pohled větší, než zmíněných 50 dB, jak je to uvedeno v Tab. 5. To je dáno tím, že tento odstup se neurčuje od jedné (nejvyšší) viditelné spektrální složky šumu, ale od efektivní hodnoty součtu všech složek celého spektra, kromě základní složky (vstupního signálu).

Implementace kódu, který určí efektivní hodnotu šumu z celého spektra, je uvedena na Obr. 55. Počítána je podle vztahu:

$$U_{\text{rms noise}} = \sqrt{\sum_{n=0}^{N-1} X^2(n)}, \quad (6.7)$$

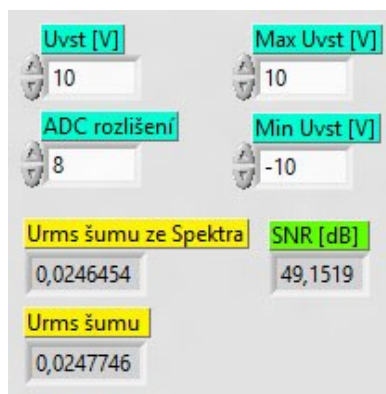
kde N je počet vzorků a $X^2(n)$ jsou jednotlivé úrovně šumu.



Obr. 55 Implementace výpočtu SNR ze spektra šumu

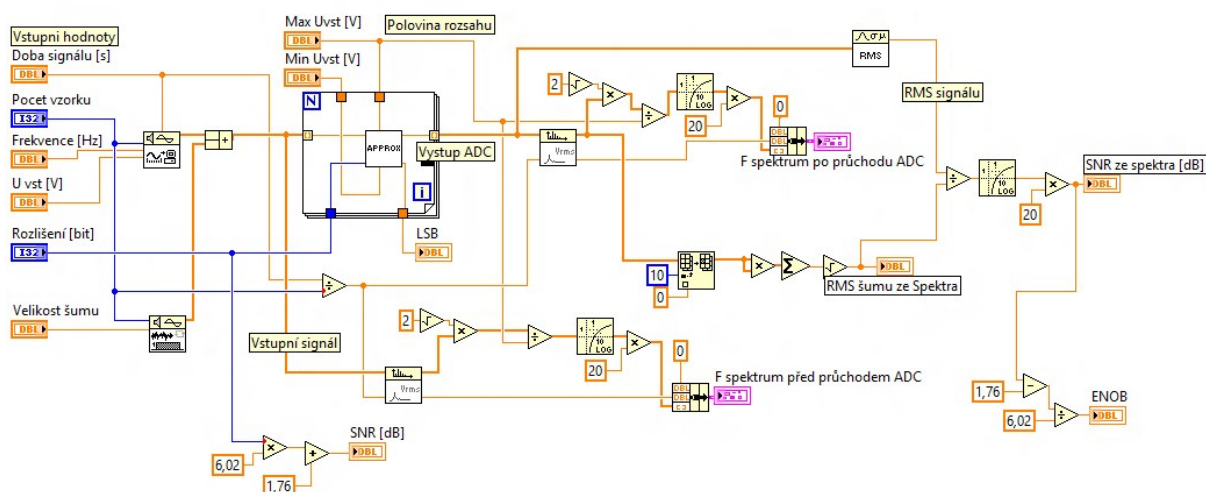
(Tento kód je uveden v příloze ve všech složkách pod názvem „vypocet_SNR_ze_spektra.vi“. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011)

Výsledky výpočtu jsou na Obr. 56. Pro 8 bitový ADC vychází SNR 49,15 dB a shoduje se s teoretickými výpočty na Obr. 51 a hodnotou v Tab. 5.



Obr. 56 SNR ze spektra

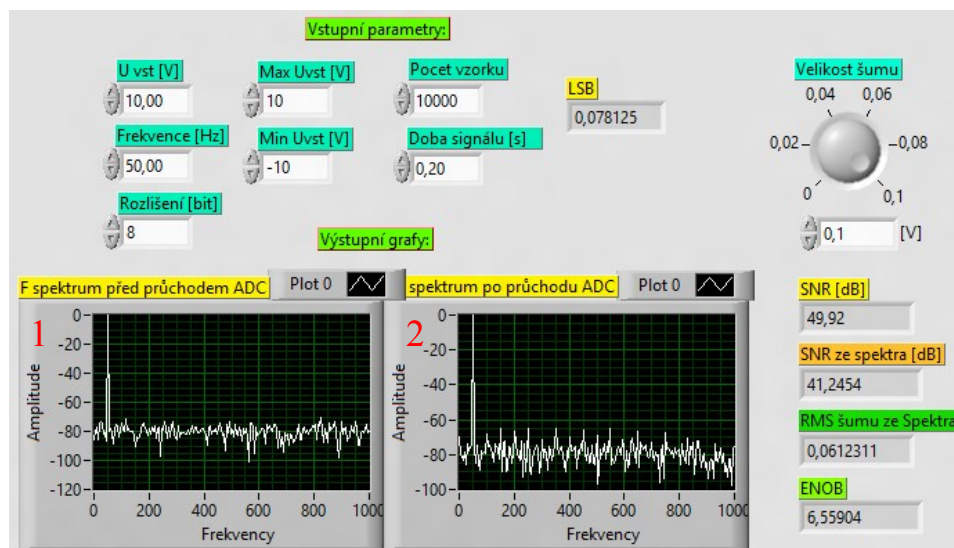
Toto všechno zatím bylo určování SNR bez ovlivnění jakýmkoli rušivým signálem. Nyní si ke vstupnímu generovanému signálu přičteme ještě náhodný signál, kterým budeme simulovat nežádoucí šum vstupující do převodníku a ověříme, jak se změní efektivní hodnota šumu a s ním spojený parametr SNR a ENOB. Implementace kódu je zobrazena na Obr. 57.



Obr. 57 Implementace kódu s přičtením náhodného šumu

(Tento kód je uveden v příloze ve všech složkách pod názvem „vypocet_SNR_ENOB_ze_spektra_sum.vi“. Pro spuštění je podmínkou mít nainstalováno LabVIEW 2011)

Výsledky jsou uvedeny na Obr. 58. Jak je vidět, frekvenční spektrum po převodu neobsahuje pouze frekvenční složky, jako tomu bylo v případě, kdy nebyl vstupní signál ovlivněn rušivým signálem (Obr. 53), ale je v něm vidět šum. Vpravo vedle grafů jsou výsledky výpočtů. Ideální SNR, které je určeno podle vztahu (6.3) zůstalo samozřejmě stejné 49,9 dB. Ovšem pokud určíme SNR přímo z frekvenčního spektra (na Obr. 58 z grafu č.2.) je jeho hodnota 41,2454 dB. Tento pokles způsobuje právě ten náhodný šum, jehož maximální velikost je nastavena na 0,1V a přímo s ním je taky ovlivněn počet efektivních bitů ENOB, jehož hodnota klesla na 6,55 bitů.



Obr. 58 Výsledky s šumem

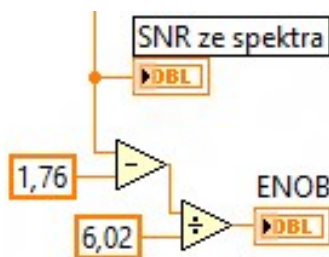
6.3.3 Efektivní počet bitů

Tento parametr souvisí přímo s hodnotou SNR. Pro specifikaci parametrů převodníku použijeme známý ideální sinusový signál. Ten se připojí na vstup A/D převodníku a z číslicové podoby signálu se matematicky odvodí poměr signálu k šumu viz. kapitola 6.3.2 a tento poměr se převede na tzv. efektivní počet bitů převodníku označovaný jako ENOB (Effective Number Of Bits).

Efektivní počet bitů je vždy menší než skutečný počet bitů převodníku. Podle kvality a rychlosti se tato hodnota může lišit i o několik bitů.

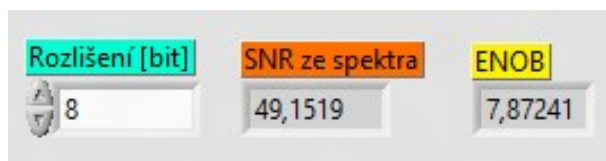
$$\text{ENOB} = \frac{\text{SNR} - 1.76}{6.02}, \quad (6.8)$$

kde SNR je poměr signálu k šumu a ostatnímu rušení. Implementace kódu je uvedena na Obr. 59.



Obr. 59 Implementace ENOB

Z výsledku na Obr. 60 je parametr ENOB pro 8 bitový ADC roven $N = 7,87$. Celkový počet efektivních bitů je pak $n = 2^N = 2^{7,87}$ bitů.



Obr. 60 Výsledek ENOB

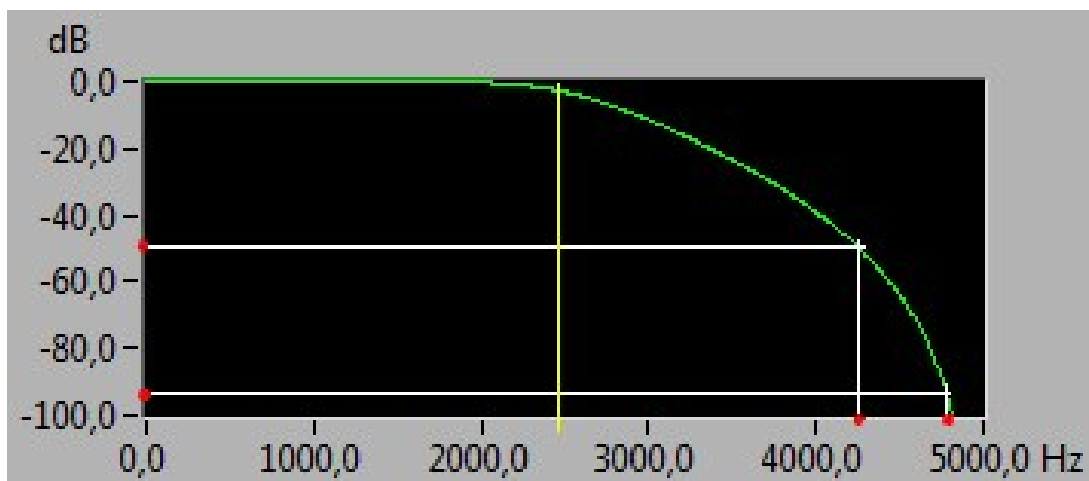
7 Návrh antialiasing filtru

Jako zadání pro návrh antialiasingového filtru jsem měl změření signálu napájecí sítě (50 Hz), se sledováním jeho harmonických složek do 2,5kHz (tzv. 50-tá harmonická).

Podle Shannon-Kotělnikova teorému by vzorkovací frekvence pro tento příklad měla být

$$f_{vz} = 2 \cdot f_{max} = 2 \cdot 2500 = 5 \text{ kS/sec} \quad (7.1)$$

Správný návrh filtru souvisí se dvěma parametry. Jsou to maximální měřená frekvence a šířka slova A/D převodníku. Na Obr. 61 je znázorněna frekvenční charakteristika filtru typu Butterworth čtvrtého řádu. Pro 8 bitový A/D převodník (šířka slova 8 bitů), který má odstup signálu 50dB je při horní mezní frekvenci 2,5kHz (v grafu vyznačena žlutě), je celé spektrum takovýmto filtrem utlumeno až na frekvenci okolo 4,4kHz. Aby byl zachován vzorkovací teorém, mělo by se vzorkovat alespoň 9 kS/sec. Pro A/D převodník s šířkou slova 16 bitů je toto spektrum utlumeno až kolem cca. 4,8kHz a vzorkovat by se potom mělo alespoň 10 kS/sec.



Obr. 61 Frekvenční charakteristika filtru Butterworth

8 Srovnání parametrů všech modelů

Nakonec srovnáme základní dynamické parametry všech modelů s nastaveným 4 bitovým rozlišením, protože model paralelního převodníku je nastaven na pevné 4 bity.

Přesnost každého výpočtu je dána přesností datového typu double používaného v modelech, který má podle světového standardu ANSI/IEEE 754-1985 přesnost až $1.7976931348623157E+308$ pro kladné hodnoty a $2.2250738585072014E-308$ pro hodnoty záporné. Tab. 6. [10]

Tab. 6 Přesnost datového typu Double [10]

Obecný název	Vzor zápisu (HEX)	Dekadická hodnota
+ 0	00000000 00000000	0.0
- 0	80000000 00000000	-0.0
1	3ff00000 00000000	1.0
2	40000000 00000000	2.0
Max. kladné číslo	7fefffff ffffffff	$1.7976931348623157E+308$
Min. záporné číslo	00100000 00000000	$2.2250738585072014E-308$

Tab. 7 Přesnost datového typu Single [10]

Obecný název	Vzor zápisu (HEX)	Dekadická hodnota
+ 0	00000000	0.0
- 0	80000000	-0.0
1	3f800000	1.0
2	40000000	2.0
Max. kladné číslo	7f7fffff	$3.40282347E+38$
Min. záporné číslo	00800000	$1.17549435E-38$

Z Výsledků porovnání podle Tab. 8 vyšly pro každý model veškeré parametry signálu, šumu a s nimi spojené SNR a ENOB stejné. To je dáno tím, že tyto modely fungují jako ideální. Nevykazují žádné chyby zesílení, nelinearity a nejsou ovlivněny žádným šumem z okolí kromě šumu vzniklého kvantováním. Výsledky jsem taky ověřil pro datový typ single, jehož přesnost je uvedena v Tab. 7 a tento je taky dostatečně přesný - výsledky se mezi sebou nelišily.

Tab. 8 Srovnání parametrů všech modelů bez rušení

	Integrační	SAR	Řetězový	Paralelní
U_{rms} signálu [V]	6,92	6,92	6,92	6,92
U_{rms} signálu ze spektra [V]	6,92426	6,92426	6,92426	6,92426
U_{rms} šumu [V]	0,486856	0,486856	0,486856	0,486856
U_{rms} šumu ze spektra [V]	0,459094	0,459094	0,459094	0,459094
DR [dB]	25,84	25,84	25,84	25,84
SNR ideální[dB]	25,84	25,84	25,84	25,84
SNR ze spektra [dB]	23,5694	23,5694	23,5694	23,5694
ENOB	3,62283	3,62283	3,62283	3,62283

V následující Tab. 9 jsou srovnány parametry jednotlivých převodníků s ovlivněním náhodně generovaným šumem, jehož velikost jsem záměrně nastavil na hodnotu 1V, což odpovídá jedné desettině užitečného signálu. Protože je tento šum čistě náhodný, výsledné parametry se od sebe nepatrně liší. Důležité jsou zde parametry SNR ideální a SNR určený z frekvenčního spektra (ovlivněný šumem), které se od sebe liší téměř o 6dB a s tím taky souvisí hodnota ENOB, která klesla pro 4 - bitové převodníky na hodnotu kolem 3 efektivních bitů, což by přímo odpovídalo tvrzení podle Tab. 5, že s každým bitem navíc se SNR zvětšuje o 6,02dB, nebo naopak.

Tab. 9 Srovnání parametrů s přidáním náhodného šumu

	Integrační	SAR	Řetězový	Paralelní
U_{rms} signálu [V]	6,89	6,89	6,89	6,89
U_{rms} signálu ze spektra [V]	6,89228	6,88689	6,89862	6,88791
U_{rms} šumu [V]	0,549847	0,545140	0,593273	0,540511
U_{rms} šumu ze spektra [V]	0,680155	0,673809	0,716263	0,672356
DR [dB]	24,0824	24,0824	24,0824	24,0824
SNR ideální[dB]	25,84	25,84	25,84	25,84
SNR ze spektra [dB]	20,1151	20,1897	19,6738	20,2098
ENOB	3,04902	3,06142	2,97571	3,06475

9 Závěr

V této práci jsem stručně rozebral základní pojmy a parametry týkající se analogově-digitálních a digitálně-analogových převodníků. Pro účely výuky jsem ke každému druhu převodníku (paralelní, řetězový, integrační a s postupnou aproximací) naprogramoval jeho model v prostředí grafického programovacího jazyku LabVIEW takovým způsobem, aby tyto modely fungovaly podle jejich definovaných blokových schémat a pravidel. Všechny modely jsou zpracovány tak, aby názorně i graficky ukazovaly postup převodu, a v neposlední řadě zobrazují jednotlivé mezi výpočty, které jsou nezbytné pro jejich správnou funkčnost. Samozřejmostí je, že všechny implementované modely dokáží korektně fungovat jak s unipolárním tak i s bipolárním vstupním napětím a dá se na ně snadno přivést jakýkoli známý typ signálu. Jako další rozšíření by bylo dobré tuto sbírku doplnit o model převodníku typu sigma-delta. Tento nebyl po konzultaci s vedoucím práce vytvořen z důvodu komplikovaného návrhu a implementace rekonstrukčního filtru. Tato problematika je již mimo rámec bakalářské práce.

V dalším kroku jsem v LabVIEW vytvořil kódy pro ověření základních statických a dynamických parametrů těchto převodníků. Mezi ty nejzákladnější statické parametry patří chyba zisku, chyba nelinearity, integrální a diferenciální nelinearita. Základními dynamickými parametry jsou dynamický rozsah, odstup signálu od šumu, efektivní hodnota šumu a efektivní počet bitů. Pro jejich ověření jsem používal známý sinusový signál s frekvencí 50Hz a amplitudou 10V ve kterém nebyl přítomen žádný rušivý a nežádoucí signál. Jednotlivé simulace vykazovaly ideální výsledky a to z důvodu, že tyto modely jsou naprogramovány a fungují jako ideální, jedinou vadou jsou numerické chyby způsobené použitím datového typu double a operacemi s tímto datovým typem. Chyby jsou ale natolik malé, že se převodníky chovají jako téměř ideální. Tyto stejné parametry byly ověřeny taky pro signál s přidáním náhodného šumu, který jsem záměrně nastavil na velikost 1/10 vstupního užitečného signálu. Po opětovné simulaci se výsledky dynamických parametrů podle očekávání zhoršily. V kapitole 8 jsou zpracovány tabulky s jednotlivými výsledky. Jednotlivé bloky kódů i s jejich grafickými a číselnými výstupy jsou uvedeny a rozebrány v této práci. Nakonec jsem uvedl stručný popis pro návrh antialiasing filtru. Především jsou to kritéria, na které se při jeho návrhu musí brát ohled a implementoval ho do modelů.

Zdroje:

- [1] National Instruments. *NI developer zone* [online]. 2011 [cit. 2012-04-22]. Dostupné z: <http://zone.ni.com/>
- [2] Wikipedia. *Shannonův teorém* [online]. [cit. 2012-04-15]. Dostupné z: http://cs.wikipedia.org/wiki/Shannon%C5%AFv_teor%C3%A9m
- [3] Wikipedie. *A/D převodník* [online]. [cit. 2012-04-22]. Dostupné z: http://cs.wikipedia.org/wiki/A/D_p%C5%99evodn%C3%ADk
- [4] ZÁKLADNÍ POJMY PŘEVODNÍKŮ AD A DA. *Úloha převodníku v systémech sběru dat (DAQ)* [online]. Brno, 2010 [cit. 2012-05-02]. Dostupné z: http://www.umel.feec.vutbr.cz/VIT/images/pdf/aktuality/ADC_DAC-haze.pdf
- [5] Převodníky analogových a číslicových signálů. [online]. [cit. 2012-04-29]. Dostupné z: <http://physics.mff.cuni.cz/kfpp/skripta/elektronika/kap8/pevodnky.html>
- [6] Analogově-digitální převodník a maximální dynamický rozsah. [Http://www.elektrorevue.cz](http://www.elektrorevue.cz) [online]. [cit. 2012-03-16]. Dostupné z: <http://www.elektrorevue.cz/clanky/04050/index.html>
- [7] Wikipedia. *Fast Fourier transform* [online]. 31.3.2012 [cit. 2012-04-12]. Dostupné z: http://en.wikipedia.org/wiki/Fast_Fourier_transform
- [8] Maxim. *ADC and DAC Glossary* [online]. [cit. 2012-04-16]. Dostupné z: <http://www.maxim-ic.com/app-notes/index.mvp/id/641>
- [9] Cypress. *ADC errors* [online]. [cit. 2012-04-17]. Dostupné z: <http://www.cypress.com/?docID=32695>
- [10] Double Format. *IEEE Arithmetic* [online]. [cit. 2012-04-22]. Dostupné z: http://docs.oracle.com/cd/E19957-01/806-3568/ncg_math.html

Seznam obrázků a tabulek

Obr. 1 Základní schéma převodu analogového napětí na digitální	1
Obr. 2 Základní schéma převodu digitálního signálu na analogové napětí	1
Obr. 3 Vzorkování vstupního signálu	2
Obr. 4 Vznik aliasingu	3
Obr. 5 Filtr typu (Butterworth) dolní propust [4]	4
Obr. 6 Princip kvantování a jeho základní pojmy	5
Obr. 7 Omezení signálu	6
Obr. 8 Převodní charakteristika ideálního 3 - bitového ADC [4]	6
Obr. 9 Rozdělení ADC podle rozlišení a rychlosti [4]	7
Obr. 10 Zapojení integračního ADC s mezi převodem na kmitočet [4]	9
Obr. 11 Zapojení integračního ADC s mezi převodem na čas [4]	10
Obr. 12 Blokové schéma kompenzačního čítacího ADC [3]	11
Obr. 13 Blokové schéma SAR převodníku [3]	12
Obr. 14 Princip činnosti SAR převodníku	13
Obr. 15 Schéma paralelního ADC [3]	14
Obr. 16 Blokové schéma 8 bitového řetězového převodníku [3]	15
Obr. 17 Ideální převodní charakteristika D/A převodníku [4]	16
Obr. 18 Zapojení D/A převodníku s váhovou strukturou [5]	17
Obr. 19 D/A převodník se spínanými proudovými zdroji [4]	17
Obr. 20 Grafický výstup SAR převodníku	18
Obr. 21 Vývojový diagram SAR ADC	20
Obr. 22 Zapojení SAR ADC [3]	21
Obr. 23 Komplettní zdrojový kód SAR ADC	21
Obr. 24 Výpočet LSB bitu	22
Obr. 25 Výpočty Vlevel	23
Obr. 26 Kód realizující DA převod s jednoduchým řídicím obvodem	24
Obr. 27 Realizace paměti bitů	25
Obr. 28 Model integračního převodníku	26
Obr. 29 Zapojení integračního ADC [4]	27
Obr. 30 Proces integrace U_{in} a U_{ref}	27
Obr. 31 Zdrojový kód modelu integračního převodníku	28
Obr. 32 Vývojový diagram integračního ADC	28
Obr. 33 Grafický výstup modelu paralelního převodníku	29
Obr. 34 Blokové schéma paralelního ADC [3]	30
Obr. 35 Zdrojový kód modelu paralelního převodníku	31
Obr. 36 Převodní tabulka 4 - bitového paralelního ADC	31
Obr. 37 Vývojový diagram paralelního ADC	32
Obr. 38 Grafický výstup modelu převodníku postupné komparace	33
Obr. 39 Zapojení řetězového ADC [3]	33
Obr. 40 Zdrojový kód modelu postupné komparace v LabVIEW	34
Obr. 41 D/A převodník s váhovou strukturou	35
Obr. 42 Zapojení převodníku s váhovou strukturou	35
Obr. 43 Implementace D/A převodníku s váhovou strukturou	36
Obr. 44 a) Chyba nuly Δu , b) Chyba zisku [9]	37
Obr. 45 Převodní charakteristika modelů	38
Obr. 46 Chyba INL [9]	38
Obr. 47 Chyba DNL [9]	39
Obr. 48 Výpočet dynamického rozsahu	40

Obr. 49 Výsledek dynamického rozsahu.....	40
Obr. 50 Implementace kódu pro výpočet SNR ze vztahů	41
Obr. 51 Vypočtené hodnoty SNR	42
Obr. 52 Výpočty frekvenčních spekter.....	43
Obr. 53 Ověření SNR pomocí frekvenčního spektra	44
Obr. 54 Spektrum a tvar signálu pro 3 bitový převodník.....	44
Obr. 55 Implementace výpočtu SNR ze spektra šumu.....	45
Obr. 56 SNR ze spektra.....	46
Obr. 57 Implementace kódu s přičtením náhodného šumu	46
Obr. 58 Výsledky s šumem	47
Obr. 59 Implementace ENOB	47
Obr. 60 Výsledek ENOB.....	48
Obr. 61 Frekvenční charakteristika filtru Butterworth.....	49
Tab. 1 Přehled typů AD převodníků. Jejich výhody a nevýhody [4]	7
Tab. 2 Dekódovací tabulka 7/3 dekodéru pro 3 bitový ADC.....	14
Tab. 3 Kompletní hodnoty Uref a Vlevel pro 5 bitový převodník	19
Tab. 4 Postup převodu.....	25
Tab. 5 Závislost decibelů na počtu bitů.....	42
Tab. 6 Přesnost datového typu Double [10]	49
Tab. 7 Přesnost datového typu Single [10]	49
Tab. 8 Srovnání parametrů všech modelů bez rušení.....	50
Tab. 9 Srovnání parametrů s přidáním náhodného šumu	50